

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

“Projeto de uma Referência de Tensão com Baixa Susceptibilidade a Interferência Eletromagnética (EMI)”

Flávio Queiroz de Souza

Orientador: Prof. Dr. Nobuo Oki

Dissertação apresentada à Faculdade de Engenharia - UNESP – Campus de Ilha Solteira, para obtenção do título de Mestre em Engenharia Elétrica.
Área de Conhecimento: Automação.

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação
Serviço Técnico de Biblioteca e Documentação da UNESP - Ilha Solteira.

S729p

Souza, Flávio Queiroz de.

Projeto de uma referência de tensão com baixa susceptibilidade a interferência eletromagnética (EMI) / Flávio Queiroz de Souza. -- Ilha Solteira : [s.n.], 2011
86 f.: il.

Dissertação (mestrado) - Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira. Área de conhecimento: Automação, 2011

Orientador: Nobuo Oki
Inclui bibliografia

1. Referência de tensão.
2. *Bandgap*.
3. Interferência eletromagnética.
4. Compatibilidade eletromagnética.



UNIVERSIDADE ESTADUAL PAULISTA

CAMPUS DE ILHA SOLTEIRA

FACULDADE DE ENGENHARIA DE ILHA SOLTEIRA

CERTIFICADO DE APROVAÇÃO

TÍTULO: Projeto de uma Referência de Tensão com Baixa Susceptibilidade a Interferência Eletromagnética (EMI)

AUTOR: FLÁVIO QUEIROZ DE SOUZA

ORIENTADOR: Prof. Dr. NOBUO OKI

Aprovado como parte das exigências para obtenção do Título de Mestre em Engenharia Elétrica ,
Área: AUTOMAÇÃO, pela Comissão Examinadora:

Prof. Dr. NOBUO OKI

Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. CLAUDIO KITANO

Departamento de Engenharia Elétrica / Faculdade de Engenharia de Ilha Solteira

Prof. Dr. MARCIO BARBOSA LUCKS

Divisão de Eletrônica - Seção de Telemetria / Instituto de Aeronáutica e Espaço - IAE

Data da realização: 05 de agosto de 2011.

Dedicatória

Dedico esta dissertação a Deus, meus pais, Célio e Dulcena Cleuza, meus irmãos e familiares, os quais nunca deixaram de me apoiar em todas as etapas de minha vida.

AGRADECIMENTOS

Agradeço primeiramente a Deus pelo dom da vida e por me confortar nos momentos difíceis.

Agradeço aos meus pais Célio e Dulcena Cleuza, meus irmãos Dulcélya Mônica, Fernando Henrique e Armando por sempre estarem ao meu lado me apoiando e dando força em todas as etapas travadas até o momento em minha vida.

Aos meus familiares, principalmente, minha tia Venina por sempre me escutar e me apoiar quando precisei e demais familiares, os quais são parte muito presente em minha vida.

Aos meus companheiros de laboratório, Adriano, Marcus, Marcos, Virgílio, Flavilene, Denis e Vlademir, os quais se tornaram parte integrante de meu cotidiano neste período de pós-graduação.

Como é muito difícil citar todos, agradeço a todos os amigos que tive o prazer de conviver em Ilha Solteira desde que ingressei na graduação.

Agradeço ao Programa CI Brasil e a Freescale Semicondutores pelo conhecimento adquirido em projeto de circuitos integrados no tempo em que residi em Campinas.

A todos os companheiros do CI Brasil e Freescale, em especial a Fernando Chavez, Walter Terçariol, Fernando Zamprinho, Ivan Nascimento, Felipe Clayton e Silvio Nogueira pela paciência e aprendizado em projetos.

Ao meu orientador professor doutor Nobuo Oki pela oportunidade a que me foi dada e pelos esforços despendidos para manutenção das ferramentas e de um laboratório de projeto de circuitos integrados.

Agradeço, finalmente, a CAPES e ao CNPq pela ajuda financeira proporcionada no período de pós-graduação.

“As oportunidades multiplicam-se à medida que são agarradas”

Sun Tzu

RESUMO

Referências de tensão integradas com baixa sensibilidade à temperatura, tensão de alimentação e eventos transitórios são componentes críticos na maioria dos circuitos integrados. Neste trabalho, além das restrições costumeiras, foi adicionada a preocupação com a interferência eletromagnética a qual vem ganhando muita importância devido a crescente poluição eletromagnética no ambiente. Assim, neste trabalho, propõe-se o projeto de uma referência de tensão tipo *bandgap* com baixa susceptibilidade a interferência eletromagnética (EMI). O projeto deste circuito baseia-se na soma de duas correntes (referência de tensão baseada em corrente), uma com coeficiente complementar a temperatura absoluta (CTAT) e outra com coeficiente proporcional à temperatura absoluta (PTAT), aplicada sobre um resistor. Neste projeto, a susceptibilidade a interferência eletromagnética de uma referência de tensão *bandgap* é estudada por meio de simulação. Projetada para ser fabricada com a tecnologia CMOS 0,35 μm da AMS (Autriamicrosystems), a referência forneceu uma tensão de referência estável de 1,354 V em sua saída operando normalmente na faixa de temperatura de -40 a 150°C. Quando submetido à EMI, o circuito exibiu apenas 24,7 mV (quando filtros capacitivos são incluído) de *offset* induzido, para um sinal de interferência variando de 150 kHz a 1 GHz.

Palavras-chave: Referência de tensão. *Bandgap*. Interferência eletromagnética. Compatibilidade eletromagnética.

ABSTRACT

Integrated voltage references with low sensitivity to temperature, supply voltage and transient events are critical requirements in the most of integrated circuits. In this work, besides the usual restrictions, was added to concern with electromagnetic interference which is gaining much importance due to increasing electromagnetic pollution on the environment. So, in this work, proposes the design of a bandgap voltage reference with low susceptibility to electromagnetic interference (EMI) is proposed. The design of the circuit is based on the sum of two currents (current-based voltage reference), one with coefficient complementary to absolute temperature (CTAT) and the other with coefficient proportional to absolute temperature (PTAT) into a resistor. In this work, the susceptibility to electromagnetic interference in a bandgap voltage reference is evaluated by simulations. Designed to be implemented in AMS (Autriamicrosystems) 0,35 μm CMOS process, the reference provides a stable voltage reference equal to 1,354 V in the output working properly in the temperature range of -40 to 150°C. When EMI is injected, the circuit exhibits only 24,7 mV (when capacitive filters are included) of induced offset, for an interference signal varying in the frequency range of 150 kHz to 1 GHz.

Keywords: Voltage reference. Bandgap. Electromagnetic interference (EMI). Electromagnetic compatibility (EMC).

LISTA DE FIGURAS

Figura 2.1:	Espelho de corrente usando uma fonte de corrente ideal (I_{REF}).	19
Figura 2.2:	Espelho de corrente usando uma fonte de corrente ideal (I_{REF}).	19
Figura 2.3:	Circuito simples que estabelece correntes independentes da alimentação.	20
Figura 2.4:	Circuito da figura 2.3 com a adição de um resistor R_S	21
Figura 2.5:	Implementação alternativa do circuito da figura 2.4 eliminando o efeito de corpo dos transistores.	22
Figura 2.6:	Circuito da figura 2.4 com a adição de M_5 resolvendo o problema de "start-up".	23
Figura 2.7:	Princípio de funcionamento de uma referência de tensão <i>bandgap</i>	27
Figura 2.8:	Conceito de geração de uma tensão independente da temperatura.	28
Figura 2.9:	Estágio de saída modo tensão para uma referência zener e bandgap respectivamente.	30
Figura 2.10:	Estágio de saída de uma referência baseada em corrente	31
Figura 2.11:	Estágio de saída de uma referência mista.	32
Figura 2.12:	Circuito simplificado de uma referência de tensão baseada em corrente.	34
Figura 3.1:	EMC, EMI, EME, EMS e suas inter-relações.	39
Figura 3.2:	Configuração da medição pelo método DPI.	44
Figura 3.3:	Efeito de EMI sobre uma referência de tensão bandgap.	45
Figura 4.1:	Estágio de saída do circuito gerador da referência de tensão proposta.	48
Figura 4.2:	Circuito gerador de corrente PTAT.	49
Figura 4.3:	Circuito gerador da corrente PTAT utilizando espelho de corrente cascode wide-swing.	50
Figura 4.4:	Espelho de corrente cascode wide-swing.	51
Figura 4.5:	Espelho simples que pode gerar uma corrente CTAT.	53
Figura 4.6:	Circuito gerador da corrente CTAT empregando a topologia cascode wide-swing.	54
Figura 4.7:	Esquemático completo (sem os circuitos de start-up e geradores das tensões de polarização V_{b2} e V_{b3}) da referência de tensão proposta.	55
Figura 4.8:	Amplificador operacional de dois estágios usado na concepção da referência proposta.	56
Figura 4.9:	Circuito gerador das tensões de polarização V_{b2} e V_{b3}	57

Figura 5.1:	Configuração utilizada para obtenção do valor de ΔV_{erro} .	60
Figura 5.2:	de $\Delta V_{EB}(V)$ com a temperatura ($^{\circ}C$).	62
Figura 5.3:	Comportamento da corrente PTAT com a temperatura.	63
Figura 5.4:	Comportamento da tensão base-emissor V_{EB1} com a temperatura.	63
Figura 5.5:	Comportamento da corrente CTAT com a temperatura.	64
Figura 5.6:	Comportamento da corrente de projeto com a temperatura.	64
Figura 5.7:	Comportamento da Tensão de referência com a temperatura.	65
Figura 6.1:	Amplificador operacional com resistor ativo projetado	67
Figura 6.2:	Divisão de um transistor em transistores unitários.	68
Figura 6.3:	Exemplo da implementação de resistores unitários.	71
Figura 6.4:	Resposta no tempo da referência de tensão projetada.	72
Figura 6.5:	Resposta em temperatura do circuito completo da referência de tensão.	72
Figura 6.6:	PSNA do circuito gerador da tensão de referência completo sem qualquer compensação.	73
Figura 6.7:	Análise da tensão de referência com relação à tensão de alimentação V_{DD} .	73
Figura 6.8:	Valores máximo, mínimo e nominal obtidos na simulação Monte Carlo.	74
Figura 7.1:	Primeira configuração para simulação da susceptibilidade a EMI	75
Figura 7.2:	Efeito de EMI sobre a referência de tensão proposta.	76
Figura 7.3:	<i>Offset</i> induzido na tensão de saída da referência de tensão proposta.	77
Figura 7.4:	Diagrama de blocos representativo do método de medição DPI.	78
Figura 7.5:	Modelo elétrico completo para a configuração DPI.	79
Figura 7.6:	Variação da tensão de referência quando submetido a EMI.	81
Figura 7.7:	<i>Offset</i> induzido da referencia proposta.	82

LISTA DE TABELAS

Tabela 3.1: Níveis de EMI a ser injetado.	44
Tabela 5.1: Tabela contendo parâmetros de processo da tecnologia CMOS 0,35 μm , constantes e outros parâmetros calculados.	58
Tabela 5.2: Incógnitas de projeto a temperatura ambiente ($T_0=27^\circ\text{C}$ ou 300K).	61
Tabela 6.1: Dimensões dos dispositivos do circuito gerador da corrente PTAT.	66
Tabela 6.2: Dimensões dos dispositivos do circuito gerador da corrente CTAT.	67
Tabela 6.3: Resumo dos parâmetros de projeto do amplificador operacional.	69
Tabela 6.4: Dimensões dos transistores dos circuitos de polarização e <i>start-up</i>	70
Tabela 6.5: Valores dos Resistores teóricos e os adotados no projeto da referência de tensão.	71
Tabela 6.6: Resumo de desempenho da referência de tensão projetada.	74
Tabela 8.1: Comparações.	84

LISTA DE ABREVIATURAS E SIGLAS

AC	Alternating Current ou Corrente Alternada.
MAS	Austriamicrosystems.
BCI	Bulk Current Injection.
CI	Circuito Integrado.
CISPR	Comité International Spécial des Perturbations.
CMOS	Complementary Metal Oxide Semiconductor.
CTAT	Complementary to Absolute Temperature ou complementar a temperatura absoluta.
DC	Direct Current ou corrente contínua.
DPI	Direct Power Injection ou injeção direta de potência.
EMC	Electromagnetic Compatibility ou compatibilidade eletromagnética.
EME	Electromagnetic Emission ou emissão eletromagnética.
EMI	Electromagnetic Interference ou interferência eletromagnética.
EMS	Electromagnetic Susceptibility ou susceptibilidade eletromagnética.
FCC	Federal Communications Commission.
GBW	Gain Bandwidth ou largura de banda do ganho.
GSM	Global System for Mobile Communications.
GTEM	Gigahertz TEM.
IEC	International Electrotechnical Commission.
IEV	International Electrotechnical Vocabulary.
I/O	Input/Output ou entrada/saída.
ISO	International Organization for Standardization
MOS	Metal Oxide Semiconductor.
MOSFET	Metal Oxide Silicon Field Effect Transistor.
NMOS	Negative Channel Metal-Oxide Semiconductor.
PCB	Printed Circuit Board ou placa de circuito impresso.
PMOS	Positive Channel Metal-Oxide Semiconductor.
PSNA	Power Supply Noise Atenuation ou atenuação ao ruído da fonte.
PSRR	Power Supply Rejection Ratio ou razão de rejeição ao ruído da fonte.
PTAT	Proportional to Absolute Temperature ou proporcional a temperatura absoluta.
RF	Radio Frequency ou rádio-frequência.

SoC	System on Chip ou sistema em chip.
SSN	Simultaneous Switching Noise ou ruído de chaveamento simultâneo.
TC	Thermal Coefficient ou coeficiente térmico.
TEM	Transverse electromagnetic mode.
WBFC	Workbench Faraday Cage.

SUMÁRIO

1	INTRODUÇÃO	15
1.1	MOTIVAÇÃO E JUSTIFICATIVA	15
1.2	OBJETIVOS E METAS	16
1.3	DESCRIÇÃO DOS CAPÍTULOS DA DISSERTAÇÃO	17
2	FONTES DE REFERÊNCIA	18
2.1	CIRCUITO DE POLARIZAÇÃO INDEPENDENTE DA TENSÃO DE ALIMENTAÇÃO	19
2.2	REFERÊNCIAS INDEPENDENTES DA TEMPERATURA	23
2.3	TENSÃO COM COEFICIENTE TÉRMICO NEGATIVO OU CTAT	24
2.4	TENSÃO COM COEFICIENTE TÉRMICO POSITIVO	26
2.5	REFERÊNCIAS TIPO <i>BANDGAP</i>	26
2.6	CIRCUITOS GERADORES DE REFERÊNCIA	29
2.6.1	<i>CIRCUITOS DE REFERÊNCIAS BASEADOS EM TENSÃO</i>	<i>30</i>
2.6.2	<i>CIRCUITOS DE REFERÊNCIAS BASEADOS EM CORRENTE</i>	<i>30</i>
2.6.3	<i>CIRCUITOS DE REFERÊNCIA MISTOS</i>	<i>32</i>
2.7	FONTES DE ERROS EM CIRCUITOS GERADORES DE REFERÊNCIA	33
2.8	CIRCUITO DE REFERÊNCIA BASEADO EM CORRENTE	33
2.8.1	<i>CONCEITO E PRINCÍPIO DE OPERAÇÃO</i>	<i>33</i>
2.8.2	<i>FONTES DE ERROS INERENTES AO CIRCUITO</i>	<i>36</i>
3	COMPATIBILIDADE ELETROMAGNÉTICA DE CIRCUITOS INTEGRADOS	38
3.1	DEFINIÇÃO DE EMC, EMI, EMS E EME	39
3.2	FONTES DE INTERFERÊNCIA ELETROMAGNÉTICA	40
3.3	EMC INTERNA E EXTERNA AO <i>CHIP</i>	40
3.4	EMI EM CIRCUITOS ANALÓGICOS E DIGITAIS	42
3.5	EMC EM APLICAÇÕES AUTOMOTIVAS	42
3.6	MÉTODOS DE MEDIÇÃO DE IMUNIDADE PARA CIs: IEC 62132	43
3.7	EFEITO DA EMI SOBRE UMA REFERENCIA DE TENSÃO <i>BANDGAP</i>	45
3.8	IMUNIDADE A INTERFERÊNCIA ELETROMAGNÉTICA EM AMPLIFICADORES OPERACIONAIS	46

4	CIRCUITO DE REFERÊNCIA PROPOSTO: CONCEITO	48
4.1	CIRCUITO GERADOR DA CORRENTE PTAT	49
4.2	ESPELHO DE CORRENTE <i>CASCODE WIDE-SWING</i>	51
4.3	CIRCUITO GERADOR DA CORRENTE CTAT	53
4.4	OPERAÇÃO DO CIRCUITO PROPOSTO	54
4.5	CIRCUITO REFERÊNCIA DE TENSÃO COMPLETO	55
4.6	AMPLIFICADOR OPERACIONAL	56
4.7	CIRCUITO DE POLARIZAÇÃO E <i>START-UP</i>	57
5	MODELO COMPORTAMENTAL DO CIRCUITO PROPOSTO	58
5.1	ESPECIFICAÇÕES INICIAIS DE PROJETO	58
5.2	DEFINIÇÃO E RESOLUÇÃO DAS INCÓGNITAS DE PROJETO	59
5.3	CONCEPÇÃO E VERIFICAÇÃO DO MODELO COMPORTAMENTAL DO CIRCUITO PROPOSTO	62
6	CIRCUITO DE REFERÊNCIA PROPOSTO: PROJETO EM NÍVEL DE TRANSISTOR	66
6.1	DIMENSIONAMENTO DO CIRCUITO GERADOR DA CORRENTE PTAT	66
6.2	DIMENSIONAMENTO DO CIRCUITO GERADOR DA CORRENTE CTAT	67
6.3	PROJETO DO AMPLIFICADOR OPERACIONAL	67
6.4	DIMENSIONAMENTO DO CIRCUITO DE POLARIZAÇÃO E O DE <i>START-UP</i>	69
6.5	SIMULAÇÃO DA REFERÊNCIA DE TENSÃO PROPOSTA	71
7	SIMULAÇÃO DA REFERÊNCIA DE TENSÃO PROPOSTA SUBMETIDA À EMI	75
7.1	MÉTODO DPI DE MEDIÇÃO SEGUNDO IEC 62132	75
7.2	MODELO ELÉTRICO DE DPI PARA SIMULAÇÃO	77
7.2.1	<i>FENÔMENO DE RETIFICAÇÃO SOBRE A REFERÊNCIA PROPOSTA</i>	79
8	CONCLUSÕES E TRABALHOS FUTUROS	83
	REFERÊNCIAS	85

1 INTRODUÇÃO

A sensibilidade à interferência eletromagnética está se tornando uma grande preocupação nos circuitos integrados atuais, pois enquanto circuitos integrados modernos operam com baixas tensões de alimentação e polarização, há uma crescente variedade de interferência de rádio frequência (RF) no ambiente. A interferência eletromagnética interage mesmo abaixo de 1 GHz com os circuitos integrados, visto que há acoplamento entre as trilhas das placas de circuito impresso (PCB) e/ou cabos de alimentação, podendo ainda ser injetadas diretamente no *die* (matriz do chip) através dos pinos e *pads*. Devido a essas razões, a preocupação com a compatibilidade eletromagnética (*Electromagnetic compatibility* - EMC) vem crescendo nos circuitos integrados. Em consequência desta preocupação, susceptibilidade¹ do circuito integrado (CI) à interferência eletromagnética (*Electromagnetic Interference* - EMI) é obrigatória nos dias atuais, não só para sua qualificação para os mercados militares, aviônicos e automotivo, mas também para aplicações relacionadas aos aparelhos domésticos, iluminação e telecomunicações. Por isso, muitos testes de sensibilidade foram padronizados e realizados em várias famílias de circuitos integrados (CIs) (ORIENTI; MONTEMEZZO et al., 2008).

1.1 Motivação e justificativa

Atualmente os circuitos integrados utilizam baixa tensão de alimentação, possuem alto desempenho analógico e digital, atuam na faixa de RF e são utilizados em sistemas integrados de potência. Estes circuitos integrados requerem referências de tensão estáveis e precisas para um bom funcionamento. Com este propósito, muitos circuitos geradores de referência têm sido desenvolvidos de maneira a garantir tensões e/ou correntes precisas e insensíveis à temperatura. No entanto, todo o esforço orientado para melhorar a precisão desses circuitos pode ser inutilizado pela presença da interferência eletromagnética, que frequentemente é sobreposta à tensão de alimentação do circuito gerador da referência, especialmente nas aplicações de sistemas em chip (SoC) atuais. Sistemas esses nos quais as referências de tensão

¹ Susceptibilidade é definida como sendo a inabilidade de um dispositivo, equipamento ou sistema desempenhar seu funcionamento sem degradação na presença de um distúrbio eletromagnético (IEC 60050 (161) de 1990, página 6).

são integradas juntamente com amplificadores de RF, alimentação do circuito e subsistemas digitais (FIORI; CROVETTI, 2002a).

Efeitos não lineares causados pela EMI em dispositivos ativos (CMOS), que são incluídos em circuitos geradores de referências de tensão, introduzem uma variação (*offset*) na referência gerada por este circuito. Esta variação pode ser maior que o erro causado pela dependência de temperatura e, dependendo da amplitude e da frequência da interferência eletromagnética pode induzir a uma completa falha no funcionamento do circuito de referência. Por essa razão, imunidade à EMI é uma questão crítica em circuitos de referência integrados atualmente.

1.2 Objetivos e metas

Cada vez mais os sistemas microeletrônicos avançam para níveis crescentes de integração e a maioria dos circuitos necessita de referências de tensão precisas para um desempenho ótimo. Devido às razões citadas, este trabalho visa o projeto de uma referência de tensão robusta o suficiente a ponto de ter:

- Baixa sensibilidade às variações na alimentação do circuito;
- Baixa sensibilidade às variações na temperatura;
- Baixa sensibilidade a eventos transitórios;
- Baixa susceptibilidade à interferência eletromagnética (EMI);

Com o intuito de obter uma tensão de referência com baixa susceptibilidade eletromagnética, foi realizado um estudo das estruturas e/ou dispositivos mais afetados e desta forma acrescentaram-se soluções para filtragem das interferências eletromagnéticas de modo que o circuito possa ser utilizado até mesmo em ambientes de funcionamento hostis, tais como automotivo, sem comprometer o funcionamento do *chip*.

Sendo assim, o objetivo específico deste trabalho é o projeto de uma referência de tensão com baixa susceptibilidade à interferência eletromagnética. Mas considerando todas as restrições impostas para o projeto de uma referência de tensão de alto desempenho.

1.3 Descrição dos Capítulos da Dissertação

A dissertação foi dividida em nove capítulos. No primeiro, são descritos de forma geral a importância do estudo da interferência eletromagnética em circuitos integrados atuais.

No segundo capítulo apresenta-se a base teórica para o projeto de uma referência de tensão *bandgap* por meio de uma revisão bibliográfica. Inicia-se com aspectos gerais de circuitos de polarização independente da tensão de alimentação, apresentam-se tipos de circuitos geradores de referência e as principais fontes de erros que afetam os mesmos. Posteriormente, apresenta-se o estudo de uma tensão de referência baseada em corrente muito popular.

No terceiro capítulo é apresentada uma revisão bibliográfica sobre compatibilidade eletromagnética, iniciando com as definições de EMC, EMI, EMS e EME e, finalizando com uma base teórica do estudo da EMI sobre tensões de referência *bandgap* e amplificadores operacionais.

No quarto capítulo, é escolhida a arquitetura da referência a ser adotada e é explicado o funcionamento básico de todos os circuitos envolvidos na composição da referência proposta. No quinto capítulo, são definidas as especificações iniciais para o projeto, construção e verificação de seu modelo comportamental.

No sexto capítulo apresenta-se o projeto em nível de transistor (dimensionamento do circuito) e simulação da referência e, finalizando, são apresentados seus dados de desempenho. No sétimo capítulo, apresentam-se as simulações da tensão de referência quando submetida à EMI. São apresentadas duas configurações para avaliação, uma seguindo o padrão de medição DPI do IEC e outra modelada a partir da configuração de medição DPI construída justamente para ser usada em simuladores.

No oitavo capítulo, são apresentadas as conclusões sobre o trabalho e considerações sobre trabalhos futuros, e, no nono e último capítulo, apresentam-se as referências bibliográficas usadas na concepção desta dissertação.

2 FONTES DE REFERÊNCIA

Circuitos analógicos incorporam referências de corrente e tensão frequentemente. Tais referências são grandezas contínuas que exibem alguma dependência em relação à alimentação do circuito, parâmetros do processo da tecnologia empregada e variações na temperatura (RAZAVI, 2001).

Como cada vez mais os sistemas avançados requerem um aumento nos níveis de integração, com o aumento da complexidade, quase todos os circuitos integrados necessitam de uma referência integrada no mesmo *chip* buscando, assim, alcançar um desempenho ótimo do sistema.

Como mencionado anteriormente, o objetivo da geração de uma referência é o estabelecimento de uma tensão ou corrente contínua independente de variações na alimentação, processo de fabricação e também que possua um comportamento bem definido com a temperatura. Na maioria das aplicações, a dependência da temperatura assume uma destas três formas (RAZAVI, 2001) :

- 1) Proporcional à temperatura absoluta (PTAT);
- 2) Comportamento de G_m constante, em outras palavras a transcondutância de certos transistores permanece constante (G_m constante);
- 3) Independente da temperatura;

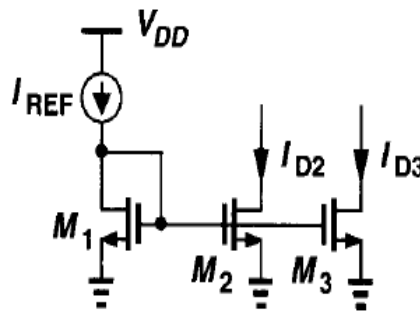
Assim, o projeto de uma referência, pode ser dividido em dois desafios de projeto: polarização independente da alimentação e definição da variação da temperatura.

Além da variação da alimentação, do processo da tecnologia empregada e da temperatura, muitos outros parâmetros dos circuitos de referência podem ser críticos, tais como: impedância de saída, ruído no estágio de saída e consumo.

2.1 Circuito de polarização independente da tensão de alimentação

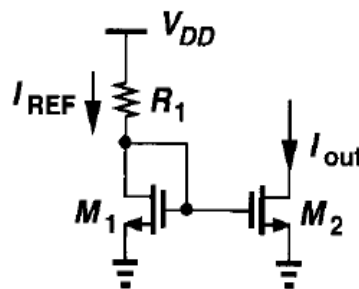
Na maioria das vezes, buscando uma simplificação na análise de circuitos, é usada a representação de uma fonte de corrente ideal, representada na figura 2.1 por I_{REF} , supondo que tal referência estivesse disponível. Mas, como mostrado na figura 2.1, se I_{REF} não variar com a tensão de alimentação (V_{DD}) e a modulação do comprimento do canal de M_2 e M_3 for desconsiderada, então, as correntes I_{D2} e I_{D3} serão independentes da tensão de alimentação. Porém, o grande desafio é como gerar I_{REF} com esta característica.

Figura 2.1: Espelho de corrente usando uma fonte de corrente ideal (I_{REF}).



Fonte: Razavi (2001).

Figura 2.2: Espelho de corrente usando uma fonte de corrente ideal (I_{REF}).



Fonte: Razavi (2001).

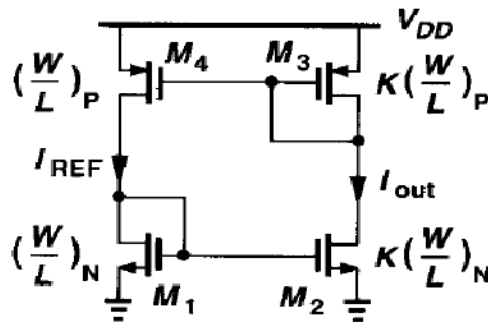
Como uma aproximação da fonte de corrente, coloca-se um resistor (R_1) ligado entre o V_{DD} e a porta (*gate*) de M_1 , como ilustrado na figura 2.2. No entanto, a saída do circuito é muito sensível a variação em V_{DD} :

$$\Delta I_{out} = \frac{\Delta V_{DD}}{R_1 + \frac{1}{gm_1}} \cdot \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (2.1)$$

Na equação (2.1) tem-se que ΔI_{out} é a variação na corrente I_{out} , ΔV_{DD} é a variação na tensão de alimentação, gm_1 é a transcondutância do transistor M_1 da figura 2.2 e, $(W/L)_1$ e $(W/L)_2$ são as razões das dimensões dos transistores M_1 e M_2 respectivamente.

Objetivando-se uma solução melhor, supõe-se que o circuito se auto polariza, ou seja, I_{REF} é de alguma forma derivada de I_{out} . A ideia a ser seguida é que I_{out} sendo independente de V_{DD} , então, I_{REF} pode ser a réplica de I_{out} . Na figura 2.3 mostra-se uma situação onde M_3 e M_4 funcionam como espelho de corrente copiando I_{out} , definindo-se assim I_{REF} . Com as dimensões de W/L da figura 2.3, ter-se-á $I_{out} = KI_{REF}$, sendo K uma constante definida para esta seção, se o efeito de modulação do comprimento do canal for desconsiderado. Nota-se, que, cada dispositivo conectado como diodo alimenta uma fonte de corrente, I_{out} e I_{REF} são relativamente independentes de V_{DD} .

Figura 2.3: Circuito simples que estabelece correntes independentes da alimentação.

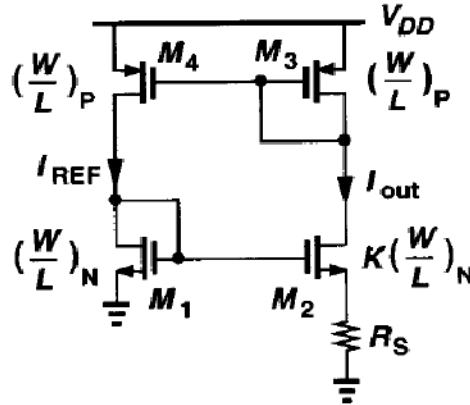


Fonte: Razavi (2001).

Como I_{out} e I_{REF} na figura 2.3 possuem uma pequena dependência de V_{DD} , as suas magnitudes são estabelecidas por outros parâmetros. Interessantemente, se M_1 - M_4 operam na saturação e $\lambda \approx 0$ (modulação do comprimento do canal), então o circuito é dominado apenas por uma equação, $I_{out} = KI_{REF}$ e, conseqüentemente, pode suportar qualquer nível de corrente. Por exemplo, se inicialmente é forçada uma corrente $I_{REF} = 10 \mu A$, a resultante $I_{out} = KI_{REF}$ circulará na malha fechada formada pelos transistores M_1 - M_4 mantendo o nível de corrente nas malhas da esquerda e da direita indefinidamente.

Para definir exclusivamente as correntes, é adicionada outra restrição para o circuito, como a mostrada na figura 2.4. Nesta configuração, o resistor R_S diminui a corrente de M_2 enquanto os dispositivos PMOS (M_3 e M_4) determinam que $I_{out}=I_{REF}$, pois eles possuem dimensões idênticas.

Figura 2.4: Circuito da figura 2.3 com a adição de um resistor R_S .



Fonte: Razavi (2001).

Sendo V_{GSn} a tensão porta-fonte de um transistor de índice n , I_{Dn} a corrente de dreno de um transistor de índice n , $\mu_{n,p}$ a mobilidade dos elétrons, C_{ox} a capacitância do óxido e V_{tn} a tensão de *threshold* do transistor de índice n . Desta forma, da figura 2.4, pode-se escrever que:

$$V_{GS1} = V_{GS2} + I_{D2} R_S, \quad (2.2)$$

ou (RAZAVI, 2001):

$$\sqrt{\frac{2I_{out}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N}} + V_{t1} = \sqrt{\frac{2I_{out}}{\mu_n C_{ox} K \left(\frac{W}{L}\right)_N}} + V_{t2} + I_{out} R_S, \quad (2.3)$$

Desconsiderando o efeito de corpo e assumindo que $V_{t1}=V_{t2}$, tem-se que:

$$\sqrt{\frac{2I_{out}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N}} \cdot \left(1 - \frac{1}{\sqrt{K}}\right) = I_{out} \cdot R_S. \quad (2.4)$$

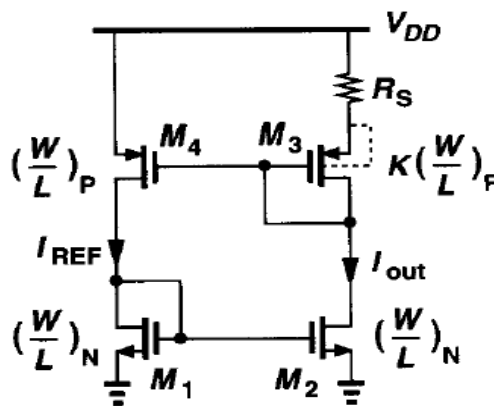
E assim,

$$I_{out} = \frac{2}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N} \cdot \frac{1}{R_S^2} \cdot \left(1 - \frac{1}{\sqrt{K}}\right)^2. \quad (2.5)$$

Por (2.5), conclui-se que a corrente I_{out} é independente da tensão de alimentação (mas ainda é uma função do processo e da temperatura).

A suposição de que $V_{t1}=V_{t2}$ introduz alguns erros nos cálculos executados em (2.4) e (2.5), pois os terminais de fonte (*source*) de M_1 e M_2 estão em tensões diferentes. A figura 2.5 mostra uma simples solução que consiste em adicionar um resistor ligado entre a fonte de M_3 e a tensão de alimentação e, ligar a sua fonte ao corpo (*body*) eliminando assim o efeito de corpo dos transistores PMOS.

Figura 2.5: Implementação alternativa do circuito da figura 2.4 eliminando o efeito de corpo dos transistores.



Fonte: Razavi (2001).

Os circuitos das figuras 2.4 e 2.5 exibem uma pequena dependência da tensão de alimentação se a modulação do comprimento do canal (λ) é desconsiderada. Por esta razão recomenda-se usar longos canais para todos os transistores do circuito.

Uma importante questão em circuitos de polarização independente da tensão de alimentação é a existência da “degeneração” do ponto de polarização do circuito. No circuito da figura 2.5, por exemplo, se todos os transistores conduzem correntes nulas quando a alimentação estiver ligada, eles permanecerão desligados indefinidamente, pois o *loop* pode manter essa corrente nula em ambas as malhas do circuito. Esta condição não é prevista pela equação (2.5), pois ao manipular a equação (2.4), ambos os lados são divididos por $\sqrt{I_{out}}$, subentendendo que I_{out} é diferente de zero. Em outras palavras o circuito pode estabelecer-se em duas condições de operação.

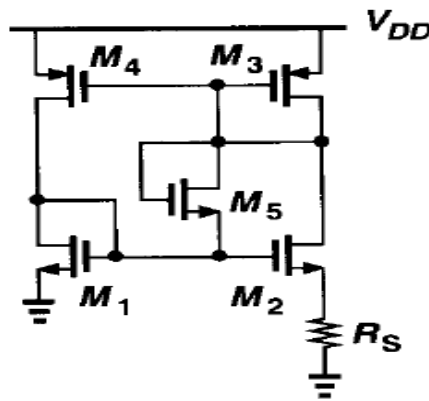
O problema acima é chamado de problema de “*start-up*” ou inicialização e, é resolvido adicionando um mecanismo que leva o circuito para fora do ponto de polarização degenerado quando a alimentação é ligada. Na figura 2.6 tem-se um simples exemplo, onde o dispositivo M_5 conectado como diodo fornece um caminho de corrente de V_{DD} através de M_3 e

M_1 para a malha de terra em consequência do “start-up”. Dessa forma, M_3 e M_1 , e M_2 e M_4 permanecerão ligados. Porém, esta técnica é válida somente se as seguintes condições forem satisfeitas.

$$V_{t1} + V_{t5} + |V_{t3}| < V_{DD} \quad e \quad V_{GS1} + V_{t5} + |V_{GS3}| > V_{DD}. \quad (2.6)$$

A última garante que M_5 permanecerá desligado depois que o circuito entrar em funcionamento fazendo com que M_5 não influa no comportamento do circuito quando o mesmo está em funcionamento.

Figura 2.6: Circuito da figura 2.4 com a adição de M_5 resolvendo o problema de “start-up”.



Fonte: Razavi (2001).

2.2 Referências Independentes da Temperatura

Referências de corrente ou tensão que exibem pouca dependência com a temperatura são essenciais na maioria dos circuitos analógicos. Nota-se que como a maioria dos parâmetros de processo varia com a temperatura, então, uma referência independente da temperatura é também independente do processo.

O que resta saber é como gerar uma grandeza que permaneça invariável com a temperatura. Partindo do princípio que podem ser geradas duas grandezas com coeficientes de temperatura opostos e adicionando-as com ponderação adequada obter-se-á uma grandeza com TC nulo. Por exemplo, para duas tensões V_1 e V_2 que variem em direções opostas com a temperatura, escolhe-se α_1 e α_2 tais que :

$$\alpha_1 \frac{\partial V_1}{\partial T} + \alpha_2 \frac{\partial V_2}{\partial T} = 0. \quad (2.7)$$

Assim, usando-se (2.7), obtém-se uma tensão de referência com coeficiente térmico nulo:

$$V_{REF} = \alpha_1 V_1 + \alpha_2 V_2. \quad (2.8)$$

O desafio é identificar duas tensões, uma que possua coeficiente térmico positivo ou proporcional a temperatura absoluta (PTAT) e uma outra com coeficiente térmico negativo ou complementar a temperatura absoluta (CTAT). Dentre os vários parâmetros de processo em semicondutores, a característica dos transistores bipolares tem provado possuir grandezas bem definidas que podem fornecer os coeficientes térmicos procurados. Devido a essas características de funcionamento, a grande maioria das referências de tensão e corrente projetadas até o momento utilizam o transistor bipolar como parte principal no circuito.

2.3 Tensão com coeficiente térmico negativo ou CTAT

A tensão base-emissor do transistor bipolar, ou melhor, a tensão direta da junção p-n do diodo apresenta um coeficiente térmico negativo. Buscando-se um melhor entendimento do comportamento da tensão base-emissor no transistor bipolar desenvolveu-se a expressão para o coeficiente térmico.

Sejam, I_C a corrente do coletor, I_S a corrente de saturação do transistor bipolar e V_T a tensão térmica. Para um dispositivo bipolar pode-se escrever que (RAZAVI, 2001):

$$I_C = I_S \cdot e^{\frac{V_{BE}}{V_T}}, \quad (2.9)$$

onde,

$$V_T = \frac{kT}{q}, \quad (2.10)$$

sendo k a constante de Boltzmann, T a temperatura e q a carga do elétron.

A corrente de saturação I_S é proporcional a $\mu k T n_i^2$, onde μ denota a mobilidade dos portadores minoritários e n_i é a concentração de portadores minoritários no silício. A dependência destas grandezas com a temperatura é representada como $\mu \propto \mu_0 T^m$ onde $m \approx -\frac{3}{2}$, e

$n_i^2 \propto T^3 e^{\left[-\frac{E_g}{kT}\right]}$, onde $E_g \approx 1,12 \text{ eV}$ é a energia de *bandgap* do silício (RAZAVI, 2001). Assim,

$$I_S = bT^{4+m} e^{-\frac{E_g}{kT}}. \quad (2.11)$$

Onde b é o fator de proporcionalidade. Escrevendo $V_{BE} = V_T \ln(I_C/I_S)$, pode-se calcular o coeficiente térmico da tensão base-emissor (V_{BE}) do transistor bipolar. Derivando V_{BE} em relação à temperatura (T), é obtido o comportamento da corrente do coletor (I_C) com a temperatura. Para uma análise simplificada, assume-se por agora que I_C é mantida constante. Assim,

$$\frac{\partial V_{BE}}{\partial T} = \frac{\partial V_T}{\partial T} \ln\left(\frac{I_C}{I_S}\right) - \frac{V_T}{I_S} \frac{\partial I_S}{\partial T}. \quad (2.12)$$

Da equação (2.11), se obtêm:

$$\frac{\partial I_S}{\partial T} = b(4+m)T^{3+m} e^{-\frac{E_g}{kT}} + bT^{4+m} e^{-\frac{E_g}{kT}} \left(\frac{E_g}{kT^2}\right). \quad (2.13)$$

E, portanto, com o auxílio de (2.11) pode-se concluir que:

$$\frac{V_T}{I_S} \frac{\partial I_S}{\partial T} = (4+m) \frac{V_T}{T} + \frac{E_g}{kT^2} V_T. \quad (2.14)$$

Com a ajuda das equações (2.10) e (2.14), pode-se escrever que (2.12) conduz a

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_T}{T} \ln\left(\frac{I_C}{I_S}\right) - (4+m) \frac{V_T}{T} - \frac{E_g}{kT^2} V_T. \quad (2.15)$$

E assim

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4+m)V_T - \frac{E_g}{q}}{T}. \quad (2.16)$$

Por meio da equação (2.16) se obtém o coeficiente de temperatura da tensão base-emissor em uma dada temperatura. Também foi revelada uma dependência sobre a magnitude de seu próprio V_{BE} . Como exemplo, pode-se calcular o TC da tensão base-emissor para

$V_{BE} \approx 0,75 \text{ V}$ e $T = 300 \text{ K}$ (27°C), resultando em $\partial V_{BE} / \partial T \approx -1,5 \text{ mV/K}$ (RAZAVI, 2001).

Da equação (2.16), nota-se também que o coeficiente térmico de V_{BE} depende da temperatura, criando uma fonte de erro na geração da referência caso a grandeza de coeficiente térmico positivo (PTAT) exiba um coeficiente constante.

2.4 Tensão com Coeficiente Térmico Positivo

D.F. Hilbiber (HILBIBER, 1964) identificou em 1964 que a diferença entre as tensões base-emissor de dois transistores bipolares operando com densidades de corrente diferentes seria diretamente proporcional à temperatura absoluta (PTAT). Por exemplo, se dois transistores idênticos ($I_{S1}=I_{S2}$) são polarizados com correntes de coletor iguais a nI_0 e I_0 , desprezando a corrente de base, tem-se que:

$$\Delta V_{BE} = V_{BE1} - V_{BE2}, \quad (2.17)$$

$$\Delta V_{BE} = V_T \ln \left(\frac{nI_0}{I_{S1}} \right) - V_T \ln \left(\frac{I_0}{I_{S2}} \right), \quad (2.18)$$

$$\Delta V_{BE} = V_T \ln(n). \quad (2.19)$$

Assim, o comportamento da diferença entre as tensões de V_{BE} exibe um coeficiente térmico PTAT. Com isto, (2.10) e (2.19) permitem concluir que:

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \ln(n). \quad (2.20)$$

Observa-se, que este coeficiente térmico é independente da temperatura e ao comportamento das correntes no coletor (RAZAVI, 2001).

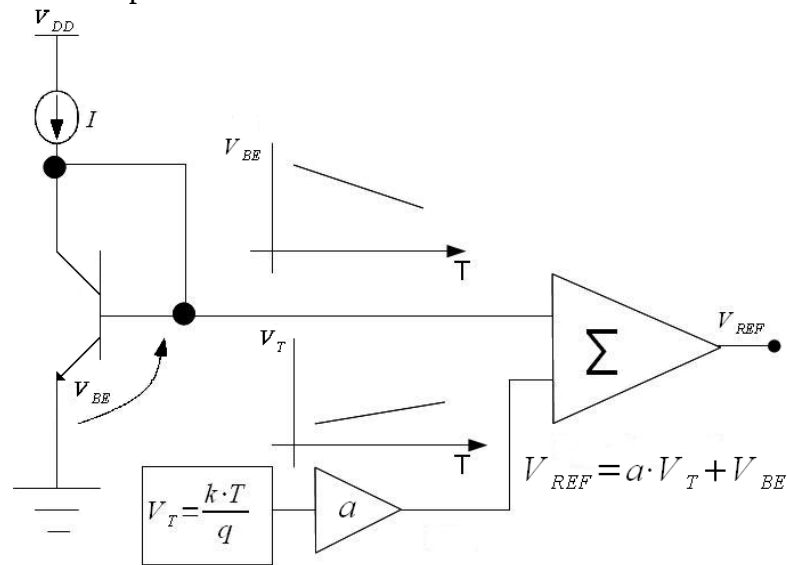
2.5 Referências tipo *Bandgap*

Como comentado nas seções anteriores, circuitos de referência são necessários na maioria das aplicações em circuitos analógicos, mistos, digitais e de radio frequência. E, refe-

rências tipo *bandgap* tem sido a solução mais empregada na construção de tais circuitos desde que eles foram introduzidos na década de 1980.

O princípio de operação de uma referência tipo *bandgap* é mostrado na figura 2.7. Exemplificando, tem-se que a tensão base-emissor é gerada pela junção p-n do diodo e possui um coeficiente térmico de aproximadamente -1,5 mV/K a temperatura ambiente. Também se sabe que a tensão térmica $V_T (=kq/T)$, que é PTAT, possui coeficiente térmico de +0,087 mV/K a temperatura ambiente.

Figura 2.7: Princípio de funcionamento de uma referência de tensão *bandgap*.



Fonte: Allen e Holberg (2002).

Sabe-se assim como obter as tensões com coeficiente térmico positivo e negativo. Desta forma é possível desenvolver uma referência que tenha como característica um coeficiente de temperatura nulo. Usando a figura 2.7 pode-se escrever:

$$V_{REF} = V_{BE} + aV_T. \quad (2.21)$$

Pela equação (2.19) sabe-se que ΔV_{BE} é proporcional a V_T , então, escolhendo $a = \ln(n)$ e rearranjando a equação (2.21), obtêm-se:

$$V_{REF} = V_{BE} + \Delta V_{BE}. \quad (2.22)$$

Rearranjando (2.21) usando a equação (2.19),

$$V_{REF} = V_{BE} + V_T \ln(n), \quad (2.23)$$

onde $V_T \ln(n)$ é a diferença entre as tensões base-emissor (ΔV_{BE}) de dois transistores bipolares operando com diferentes densidades de corrente. Como o objetivo é obter uma tensão V_{REF} tal que $\partial V_{REF} / \partial T \approx 0$, deriva-se equação (2.21) da seguinte forma,

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + \frac{\partial (aV_T)}{\partial T},$$

$$\frac{\partial V_{BE}}{\partial T} + a \frac{\partial (V_T)}{\partial T} = 0. \quad (2.24)$$

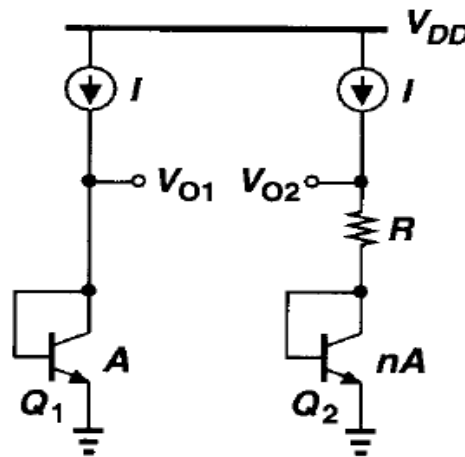
Sabe-se que a temperatura ambiente $\partial V_{BE} / \partial T \approx -1,5 \text{ mV/K}$ e que $\partial V_T / \partial T \approx +0,087 \text{ mV/K}$. Desta forma substituindo-se estes valores na equação (2.24), encontra-se um valor para a constante a .

$$a \left(\frac{0,087 \text{ mV}}{K} \right) = \frac{1,5 \text{ mV}}{K},$$

$$a \cong 17,24. \quad (2.25)$$

A figura 2.8 apresenta um circuito que pode resolver a equação (2.21).

Figura 2.8: Conceito de geração de uma tensão independente da temperatura.



Fonte: Razavi (2001).

Primeiro consideram-se aproximadamente nulas as correntes de base para o circuito da figura 2.8, que o transistor Q_2 é formado por n transistores em paralelo iguais a Q_1 , e que

Q_1 é constituído de apenas um transistor. Supõe-se que as tensões V_{01} e V_{02} sejam forçadas a serem iguais. Então pode-se escrever que,

$$V_{BE1} = RI + V_{BE2}. \quad (2.26)$$

E,

$$RI = V_{BE1} - V_{BE2} = V_T \ln(n). \quad (2.27)$$

Assim,

$$V_{02} = V_{BE2} + V_T \ln(n). \quad (2.28)$$

Sugere-se assim que V_{02} pode ser uma referência independente da temperatura se $a = \ln(n) \approx 17,24$ (enquanto V_{01} e V_{02} permanecerem iguais). O circuito da figura 2.8 necessita de duas modificações para se tornar um circuito prático. Primeiro, um mecanismo deve ser adicionado para garantir que $V_{01} = V_{02}$ (ex. amplificador operacional, ou um espelho de corrente de alto ganho). Segundo, como $\ln(n) \approx 17,24$ se traduz em um valor de n muito grande, o termo $RI = V_T \cdot \ln(n)$ deve ser escalado para um valor aceitável (RAZAVI, 2001).

2.6 Circuitos geradores de referência

É intuitivo que a grandeza de saída de um circuito de referência deve assumir a forma de tensão ou corrente. Há três tipos de circuitos de referência mais comumente usados para obtenção das grandezas de saída citadas anteriormente, sendo elas:

- Circuitos de referência baseados em tensão. (PARK, 2007; WANG; GEIGER et al., 2009);
- Circuitos de referência baseados em corrente (BADILLO, 2002);
- Circuitos de referência mistos (PAUL; PATRA et al., 2005).

Sendo o circuito de referência misto uma combinação entre os circuitos baseados em tensão e corrente.

2.6.1 Circuitos de referências baseados em tensão

Historicamente, circuitos de referência baseados em tensão tem sido o tipo de circuito mais utilizado. Isto se deve ao fato de que os componentes básicos da maioria dos circuitos de referência (transistores bipolares, diodos e diodos *zener*) possuem o comportamento da tensão bem definido com a temperatura (RINCÓN-MORA, 2002). A saída do circuito baseado em tensão é caracterizada pela soma de tensões que variam opostamente com a temperatura.

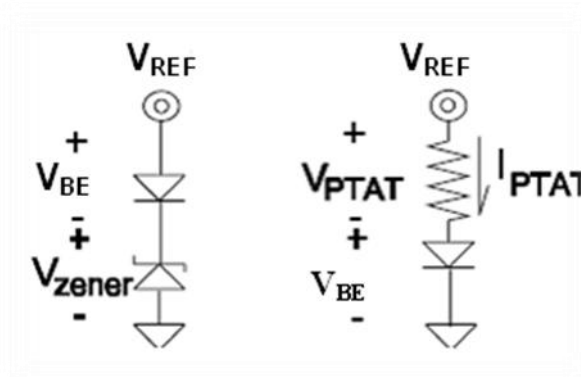
A maioria das referências *bandgap* de ordem zero, um e superior ou referências *zener* adotam a saída em modo tensão (RINCÓN-MORA, 2002). A figura 2.9, ilustra a grandeza de saída típica de uma referência *zener* e uma *bandgap* respectivamente. O coeficiente térmico da tensão PTAT cancela o coeficiente térmico negativo da tensão direta do diodo (V_{BE}).

Uma explicação para a extensa utilização de referências de circuitos baseadas em tensão é a simplicidade de sua implementação.

2.6.2 Circuitos de referências baseados em Corrente

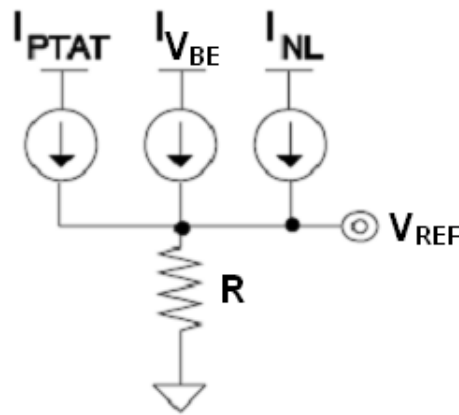
Referências de tensão que forneçam tensões menores que 1,2 V podem ser implementadas com um circuito de referência baseado em corrente. A técnica, ao contrário das referências baseadas em tensão, baseia-se na soma de correntes variantes com a temperatura em um resistor como mostrado na figura 2.10.

Figura 2.9: Estágio de saída modo tensão para uma referência *zener* e *bandgap* respectivamente.



Fonte: Rincón-Mora (2002).

Figura 2.10: Estágio de saída de uma referência baseada em corrente



Fonte: Rincón-Mora (2002).

O valor da tensão V_{REF} de saída é determinado pelo produto da soma das magnitudes das correntes pelo valor do resistor R . Consequentemente a tensão de referência gerada por esta configuração é flexível o suficiente podendo fornecer uma vasta faixa de valores, desde alguns milivolts a vários volts. Se bem projetado, o efeito de variação dos resistores com a temperatura pode ser cancelado pela natureza das correntes, as quais são definidas por transistores de mesmo tipo. Isto é mostrado relacionando-se a referência de tensão e a dependência em temperatura do resistor, onde os valores das correntes revelam como elas são geradas fisicamente:

$$V_{REF} = (I_{V_{BE}} + I_{PTAT} + I_{NL})R = \left(k_a \frac{V_{BE}}{R_a} + k_b \frac{V_T}{R_b} + I_{NL} \right) R. \quad (2.29)$$

Sendo k_a e k_b constantes independentes da temperatura, R_a e R_b resistores feitos do mesmo material de R . A dependência em temperatura dos resistores pode ser escrita como:

$$R(T) = R(T_0) \cdot [1 + tc_1(T - T_0) + tc_2(T - T_0)^2]. \quad (2.30)$$

Onde T é a temperatura, tc_1 e tc_2 são os coeficientes de temperatura linear e quadrático respectivamente e $R(T_0)$ é a resistência à temperatura ambiente (T_0). Adotando-se a terminologia da figura 2.10, a referência de tensão é expressa como:

$$V_{REF} = \left(k_a \frac{V_{BE}}{R_a(T_0)} + k_b \frac{V_T}{R_b(T_0)} + I_{NL} [1 + tc_1(T - T_0) + tc_2(T - T_0)^2] \right) \cdot \left\{ \frac{R(T_0) [1 + tc_1(T - T_0) + tc_2(T - T_0)^2]}{1 + tc_1(T - T_0) + tc_2(T - T_0)^2} \right\},$$

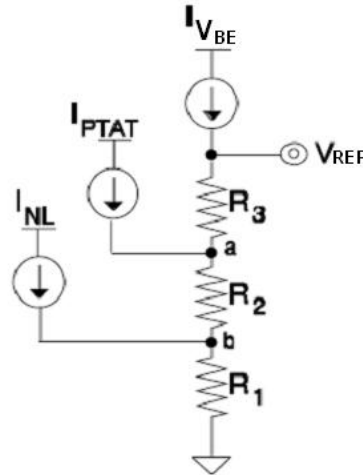
$$V_{REF} = \left(k_a \frac{V_{BE}}{R_a(T_0)} + k_b \frac{V_T}{R_b(T_0)} + I_{NL} [1 + tc_1(T - T_0) + tc_2(T - T_0)^2] \right) R(T_0). \quad (2.31)$$

Onde I_{NL} é redefinido de forma a absorver a dependência em temperatura do resistor. Assim, os coeficientes de temperatura dos resistores são cancelados uma vez que R_a , R_b e R são feitos de mesmo material (RINCÓN-MORA, 2002).

2.6.3 Circuitos de Referência Mistos

Os benefícios de uma referência baseada em tensão e corrente podem ser combinados para gerar uma estrutura flexível. Tal estrutura é ilustrada na figura 2.11.

Figura 2.11: Estágio de saída de uma referência mista.



Fonte: Rincón-Mora (2002).

A arquitetura resultante complementa a topologia baseada em corrente com uma cadeia de resistores. Em essência, corrente e tensão são somados para gerar uma tensão de referência. O modo corrente oferece a possibilidade de baixar o valor da tensão de referência, enquanto o modo tensão fornece uma maior manobrabilidade na compensação da temperatura (RINCÓN-MORA, 2002).

2.7 Fontes de Erros em Circuitos Geradores de Referência

Como as especificações de funcionamento dos circuitos tornam-se mais exigentes a cada dia, os erros inerentes a estas estruturas se tornaram uma parte crítica no projeto. Estes erros são atribuídos em cada fase do projeto (sistema, circuito e leiaute). Seus efeitos negativos manifestam-se sobre as referências alterando seu coeficiente térmico e o valor absoluto da referência a ser gerada (valor de tensão ou corrente onde o desempenho com a temperatura deve ser o melhor). Vários fatores afetam estas duas características, dentre eles, descasamento entre os espelhos de corrente, descasamento entre resistores e transistores, tolerância dos resistores, variação da resistência com a temperatura, tensão *Early*, modulação do comprimento do canal, variações na fabricação e tensão de *offset* (se forem usados amplificadores operacionais) (RINCÓN-MORA, 2002).

Uma discussão de todos os erros seria muito extensa devido às várias topologias geradoras de referência existentes, por isso analisou-se somente os erros inerentes às topologias descritas nesse trabalho.

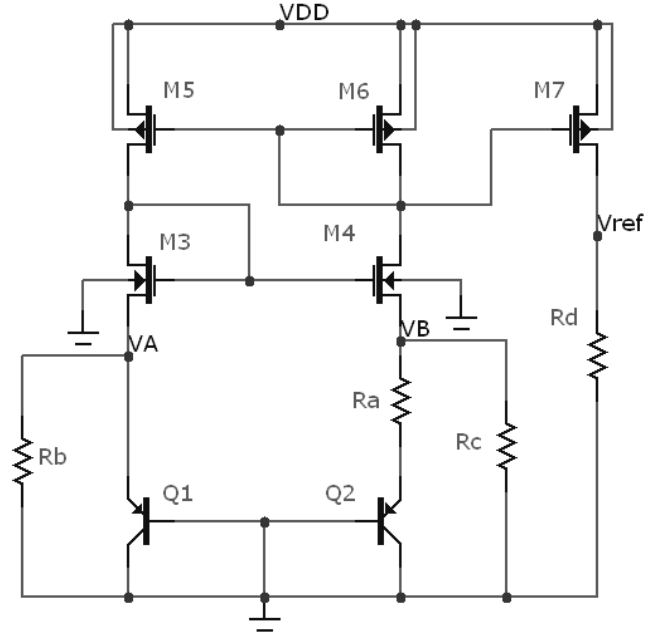
2.8 Circuito de Referência Baseado em Corrente

2.8.1 Conceito e Princípio de Operação

Como o núcleo da referência projetada é de uma topologia baseada em corrente, primeiramente será mostrado o princípio de funcionamento deste tipo de circuito utilizando uma topologia simples, mas muito utilizada e que resume muito bem o comportamento da maioria dos circuitos baseados em corrente.

Como visto anteriormente, compensa-se a dependência da tensão base-emissor com a temperatura usando uma corrente com coeficiente térmico positivo (ao contrário dos circuitos baseados em tensão que utilizam uma tensão de correção PTAT). Um circuito que ilustra esse princípio é o apresentado na figura 2.12.

Figura 2.12: Circuito simplificado de uma referência de tensão baseada em corrente.



Fonte: Banba et al., (1999).

No circuito da figura 2.12, a malha de realimentação formada pelos transistores M3, M4, M5 e M6 garante que a tensão V_A seja aproximadamente igual à V_B , e, sendo $M3=M4$ e $M5=M6$, o espelho de corrente garantirá a igualdade entre as correntes de dreno de M3 e M4.

Desta forma, pode-se montar uma expressão relacionando V_A e V_B como se segue:

$$V_A - V_B = V_{GS4} - V_{GS3} = \left(V_t + \sqrt{\frac{2I_{D4}}{K_4}} \right) - \left(V_t + \sqrt{\frac{2I_{D3}}{K_3}} \right) = \sqrt{\frac{2I_{D4}}{K_4}} \left(1 - \sqrt{\frac{I_{D3}K_4}{I_{D4}K_3}} \right). \quad (2.32)$$

Assume-se, para este circuito que, $K_n = \mu_{n,p} C_{ox}(W/L)_n$. Sendo $\mu_{n,p}$ a mobilidade dos elétrons (cm^2/V), C_{ox} a capacitância do óxido em farad (F) e (W/L) a razão entre as dimensões do transistor MOS.

O espelho de corrente $M5$ - $M6$ garante que suas correntes de dreno sejam iguais, assim pode-se escrever:

$$\frac{I_{D3}}{I_{D4}} = \frac{I_{D5}}{I_{D6}} = \frac{K_5}{K_6}. \quad (2.33)$$

Substituindo (2.33) em (2.32) e fazendo-se algumas manipulações,

$$V_A - V_B = \sqrt{\frac{2I_{D4}}{K_4}} \left(1 - \sqrt{\frac{K_5 K_4}{K_6 K_3}} \right). \quad (2.34)$$

De (2.34) conclui-se que para cancelar a tensão $V_A - V_B$ é necessário que:

$$K_4 K_5 = K_6 K_3. \quad (2.35)$$

Outra forma de se escrever (2.35) é:

$$\left(\frac{W}{L}\right)_4 \left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_3. \quad (2.36)$$

Fazendo-se $K_4 K_5 = K_6 K_3$, por (2.34) tem-se que os potenciais V_A e V_B serão iguais, desta forma para $R_b=R_c$, a corrente (I_b) sobre o resistor R_b pode ser equacionada da seguinte forma:

$$I_b = I_c = \frac{|V_{BE1}|}{R_b}. \quad (2.37)$$

Como a tensão sobre o resistor R_a , representada na figura 2.12 como $|\Delta V_{BE}|$, é a diferença entre as tensões base-emissor de Q1 e Q2. A expressão da corrente (I_a) sobre o resistor R_a pode ser formulada como se segue:

$$I_a = \frac{|V_{BE1}| - |V_{BE2}|}{R_a} = \frac{kT}{qR_a} \ln \left(\frac{I_{S2}}{I_{S1}} \cdot \frac{I_{C1}}{I_{C2}} \right). \quad (2.38)$$

Desconsiderando-se as correntes de base, tem-se que as correntes do coletor de Q1 (I_{C1}) e Q2 (I_{C2}) serão:

$$I_{C1} = I_{D5} - I_b \quad \text{e} \quad I_{C2} = I_{D6} - I_c \quad (2.39)$$

Sendo os transistores M_5 e M_6 idênticos, suas correntes de dreno serão iguais ($I_{D5}=I_{D6}$) e, para $R_b=R_c$, $I_b=I_c$, o que resulta em $I_{C1}=I_{C2}$. Assim a corrente sobre R_a pode ser reescrita da seguinte forma:

$$I_a = \frac{kT}{qR_a} \ln \left(\frac{I_{S2}}{I_{S1}} \right). \quad (2.40)$$

Sendo M5, M6 e M7 transistores idênticos, suas correntes de dreno serão iguais, a corrente sobre o resistor R_d resulta da soma das correntes I_a e I_c . Assim, a tensão de referência (V_{ref}) pode ser escrita como:

$$V_{REF}(T) = (I_a + I_c)R_d. \quad (2.41)$$

Substituindo (2.40) e (2.37) em (2.41) e assumindo que a razão $I_{S2}/I_{S1} = N$ em (2.40), a expressão da tensão de referência pode ser reescrita como:

$$V_{REF}(T) = \frac{R_d}{R_a} \frac{kT}{q} \cdot \ln(N) + \frac{R_d}{R_b} |V_{BE1}(T)| = R_d \left(\frac{|\Delta V_{BE}(T)|}{R_a} + \frac{|V_{BE1}(T)|}{R_b} \right) \quad (2.42)$$

Assim, uma tensão de referência insensível à temperatura pode ser obtida fixando-se um valor para R_d e ajustando-se os valores de R_a e R_b .

2.8.2 Fontes de Erros inerentes ao circuito

No circuito da figura 2.12, pequenas diferenças na tensão porta-fonte (V_{GS}) de M_3 e M_4 resulta em uma grande variação na corrente da malha de saída (corrente sobre R_d), pois a tensão sobre R_a é da ordem de apenas 100 mV. Essa diferença de tensão V_{GS} é resultante do descasamento entre os dispositivos, ou mesmo, da modulação do comprimento do canal em M_3 e M_4 porque eles possuem diferentes tensões dreno-fonte (V_{DS}). Por isso, para implementações práticas deste tipo de circuito, costuma-se utilizar grandes dimensões para os dispositivos M_3 e M_4 buscando minimizar esse efeito da modulação do comprimento do canal (YEN; CHUNG et al., 2005). Uma solução para minimizar os efeitos descritos acima seria a utilização de espelhos de corrente de alto desempenho (*cascode*, *cascode wide-swing*), pois estes espelhos são menos sensíveis aos efeitos de modulação do comprimento do canal, reduzem o erro de corrente gerado pelas variações no processo da tecnologia CMOS e o descasamento dos transistores bipolares.

Outra fonte de erro é devido ao fato de se considerar $R_b=R_c$. Ao considerar essa igualdade deve-se estar ciente que qualquer descasamento entre os resistores R_b e R_c influenciará diretamente na corrente da malha de saída do circuito e, como consequência, na referência a ser gerada. Uma maneira de minimizar essa influência no funcionamento do circuito seria

dividir os resistores R_b e R_c em resistores unitários (resistores de tamanhos iguais) diminuindo assim o efeito de descasamento entre estes dispositivos. É importante acrescentar que um leiaute cuidadoso deve ser feito para esses resistores aumentando consideravelmente a complexidade do projeto.

3 COMPATIBILIDADE ELETROMAGNÉTICA DE CIRCUITOS INTEGRADOS

Durante o período pós-guerra e através da década de 60, EMC era uma preocupação principalmente militar, por exemplo, para controlar e regular emissões de radar que poderiam causar lançamentos inadvertidos de armas devido à interferência em mecanismos de disparos eletrônicos. As primeiras pesquisas sobre os efeitos da interferência eletromagnética em circuitos integrados começaram em 1965 no Special Weapons Center, situado em Kirtland, New Mexico, USA (REDOUTÉ; STEYAERT, 2009).

As preocupações que inicialmente eram predominantemente militares nas questões relacionadas à EMC mudaram radicalmente depois da proliferação dos computadores pessoais iniciada na década de 70. Naturalmente, interferências provenientes de dispositivos de computação se tornaram um grande problema para transmissões de rádio e televisão. De maneira a controlar essas interferências, varias instâncias nacionais como FCC (*Federal Communications Commission*) nos EUA, a CISPR (*Comité Interrenational Spécial des Perturbations Radioélectriques*) e o IEC (*International Electrotechnical Commission*) na Europa, começaram a compilar uma série de regras para regular o nível de emissão eletromagnética e como a medição dessas emissões deveria ser realizada.

Problemas relacionados à EMC, consecutivas emissões eletromagnéticas e exigência de imunidade eletromagnética persistiram na década de 80, e tornaram-se ainda mais rigorosas na década de 90 devido ao aumento do uso de equipamentos eletrônicos e o crescente nível de integração de diferentes sistemas no mesmo produto, o que invariavelmente levou a relacionar problemas de EMC com coexistência entre circuitos e sistemas. Quando diferentes circuitos e sistemas são densamente integrados no mesmo produto, os acoplamentos eletromagnéticos parasitas entre estes circuitos dividem a mesma placa de circuito impresso (PCB), fonte de alimentação e malhas de terra, sendo assim, esses acoplamentos são certamente um parâmetro crítico de projeto que não pode ser excluído do fluxo de concepção do produto. Como exemplo, Bluetooth, GSM e serviços WiFi são obrigados coexistirem e operarem simultaneamente dentro do confinamento de um telefone móvel moderno. Além disso, o uso de frequências mais altas como um todo, contribui para um aumento da interferência eletromagnética em altas frequências (REDOUTÉ; STEYAERT, 2009).

3.1 Definição de EMC, EMI, EMS e EME

Muitas definições são aplicadas de maneira a definir o princípio da compatibilidade eletromagnética (EMC).

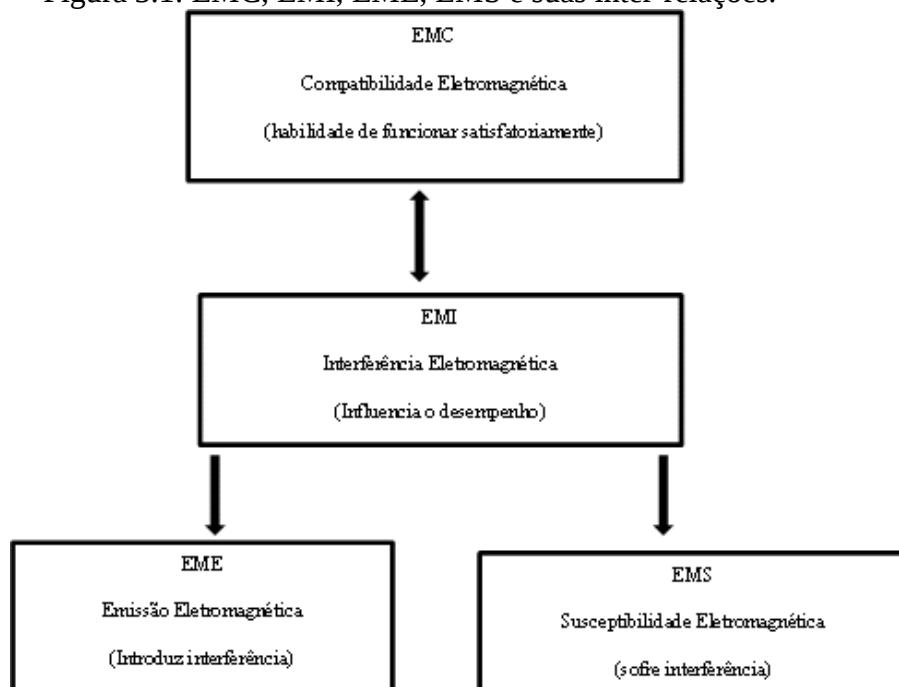
Dispositivos elétricos e eletrônicos são ditos ser eletromagneticamente compatíveis quando seus ruídos elétricos gerados não interferem no funcionamento normal de qualquer outro dispositivo. Em outras palavras, compatibilidade eletromagnética é a feliz situação nas quais os sistemas funcionam como esperado, tanto internamente quanto no ambiente ao qual está inserido (KEISER, 1987).

Já, a EMI é dita existir quando tensões ou correntes indesejáveis estão presentes influenciando adversamente o desempenho do dispositivo. Essas tensões ou correntes podem atingir os dispositivos alvo por condução ou por radiação do campo eletromagnético (KEISER, 1987).

Quando há EMI, há pelo menos uma fonte de EMI causando uma emissão intolerável e, possivelmente, uma ou mais vítimas da interferência eletromagnética, que por uma ou várias razões são susceptíveis as perturbações emanadas. Emissão eletromagnética (EME) é descrita pelo IEC como:

“Fenômeno pelo qual energia eletromagnética emana de uma fonte” (IEC, 2011).

Figura 3.1: EMC, EMI, EME, EMS e suas inter-relações.



Fonte: Redouté e Steyaert (2009).

Da mesma forma, o IEC descreve susceptibilidade eletromagnética (EMS) como:

“A inabilidade de um dispositivo, circuito ou sistema de funcionar sem degradação na presença de uma perturbação eletromagnética” (IEC, 2011).

Susceptibilidade é complementar a imunidade, sendo que a imunidade pode ser exemplificada como a quantidade de EMI que pode ser injetada no sistema antes de falhas comecem a ocorrer.

A figura 3.1, traduzida de (REDOUTÉ; STEYAERT, 2009), descreve os quatro fenômenos descritos nesta seção e como eles são inter-relacionados.

3.2 Fontes de interferência eletromagnética

As fontes de EMI podem ser divididas em naturais e não-naturais, ou seja, produzidas pelo homem (WESTON, 2001).

A natureza contribui com a poluição eletromagnética principalmente por meio de ruído atmosférico (que é, entre outros, produzido pelas descargas atmosféricas) e ruído cósmico (provocados por explosões no sol). No caso de raios, são induzidas emissões eletromagnéticas que se propagam por meio de vários quilômetros de distância, causando pulsos ou picos aleatórios no espectro eletromagnético. A componente espectral do raio se espalha numa vasta faixa de frequências, desde alguns hertz até frequências superiores a 100 MHz (KEISER, 1987).

Não é surpresa que a maioria dessa poluição, seja no meio ambiente ou no meio eletromagnético, é causada pelo homem. Ignição do motor em automóveis, linhas de transmissão AC de alta tensão, micro-ondas, motores elétricos, transmissores de comunicação, todas essas aplicações e sistemas contribuem para poluição eletromagnética do espectro de radio frequência. Essas perturbações eletromagnéticas se espalham por uma ampla faixa de frequências, desde algumas dezenas de Hz (tipicamente 50-60, dependendo da frequência da rede de energia), a algumas dezenas de GHz (banda de frequência de sistemas de comunicação modernos).

3.3 EMC interna e externa ao *Chip*

Compatibilidade eletromagnética associada a circuitos integrados são geralmente classificados como EMC externa (acoplamento externo) e EMC interna ao *chip*.

Problemas devido ao acoplamento externo ocorrem quando ruídos gerados externamente interferem no funcionamento do CI (EMS), ou reciprocamente, quando ruído gerado no circuito integrado interfere no funcionamento de circuitos e dispositivos que estão fora do *chip* (EME). Neste projeto, o primeiro é considerado, uma vez que o foco desta pesquisa é no projeto de um circuito integrado analógico com alto grau de imunidade a interferência eletromagnética.

Devido à pequena dimensão, circuitos integrados não são facilmente afetados por perturbações irradiadas e induzidas, pois as interconexões no chip são extremamente pequenas para funcionar como antenas. No entanto, *Bondwires*, *package leads*, *leadframe* e pinos podem interceptar interferências induzidas, irradiadas e conduzidas de altas frequências. Entretanto, a principal contribuição vem de longas e ruidosas trilhas do PCB no quais os CIs são conectados. Dependendo do nível total da EMI conduzido presente nas trilhas de PCB, o CI pode não trabalhar corretamente ou até mesmo não funcionar. Por outro lado, as interferências eletromagnéticas induzidas e irradiadas podem ser suavizadas por apropriadas técnicas de leiaute e blindagem no PCB (REDOUTÉ; STEYAERT, 2009).

A prevenção do acesso, ou emanção da EMI para um CI ou proveniente do mesmo, depende do circuito no qual as trilhas do PCB são conectadas. *Chokes* de modo comum e outros componentes discretos (como capacitores de desacoplamento) reduzem as interferências eletromagnéticas conduzidas, no entanto, a presença destes componentes nem sempre é desejada ou possível. Projetos devem focar na redução da EMI conduzida, que é injetada nas trilhas do PCB (ponto de vista de EME). Por outro lado, certa robustez dos circuitos integrados é necessária, isso significa que os CIs devem estar aptos a suportar certo nível de perturbações eletromagnéticas conduzidas sem que haja comprometimento do seu funcionamento. Idealmente, combinando técnicas de leiaute de PCB reduz-se a EMI irradiada e induzida, o que produz uma menor emissão eletromagnética levando a uma menor susceptibilidade eletromagnética, o que leva a um sistema eletrônico a ser compatível eletromagneticamente.

Problemas de EMC internos ao *chip* ocorrem sobre o mesmo circuito integrado, em outras palavras, ocorre quando um sinal ou ruído gerado por um ou mais (sub)circuitos interfere na operação de outro circuito. Como as distâncias no interior do CI são muito pequenas, interferências eletromagnéticas irradiadas internas ao *chip* não ocorrem. No entanto, interferências induzidas e conduzidas são possíveis de ocorrer. Isto resulta em dois problemas comuns em circuitos integrados, sendo eles: *crosstalk* e ruído de chaveamento simultâneos, este último, mais conhecido como *simultaneous switching noise* (SSN) (REDOUTÉ; STEYAERT, 2009).

3.4 EMI em circuitos analógicos e digitais

Circuitos integrados digitais são inerentemente menos susceptíveis a interferência eletromagnética que analógicos. Isto decorre do fato que circuitos digitais possuem o benefício de usar limiares entre níveis lógicos, e devido a isto, são propensos a terem uma resistência natural contra interferências. Não obstante, deve-se ressaltar que mesmo exibindo baixa susceptibilidade não significa que são imunes a EMI. Em circuitos digitais, a interferência eletromagnética produz dois efeitos distintos, sendo eles: falso chaveamento, que é uma falha estática e ocorre quando o nível da perturbação é grande o suficiente para alterar o estado lógico do sinal digital; e atraso induzido pela EMI, que é a mudança do tempo de propagação do sinal devido à presença da EMI. Acrescentando, circuitos digitais funcionam em altas frequências, e o chaveamento extremamente rápido causa picos transientes, que por fim induzem ao aparecimento de componentes indesejadas no espectro eletromagnético, o que consequentemente aumenta a emissão eletromagnética (EME) do circuito (REDOUTÉ; STEYAERT, 2009). Já sistemas analógicos processam o sinal de maneira contínua e, devido a este fato, eles tendem a serem menos emissores da interferência eletromagnética que digitais.

Algumas possibilidades para reduzir a EME em circuitos integrados incluem a redução da frequência do *clock*, e o uso de pequenos resistores na malha da fonte de alimentação de maneira a amortecer oscilações geradas pelo rápido chaveamento.

3.5 EMC em aplicações automotivas

A indústria automotiva, particularmente, é interessada no aumento da compatibilidade eletromagnética dos circuitos e sistemas eletrônicos, porque o ambiente eletromagnético automotivo pode ser muito severo e imprevisível. De maneira a garantir que acidentes de veículos não sejam causados por falta de compatibilidade eletromagnética, fabricantes de veículos, bem como, companhias de fabricação e montagem de eletrônicos percorrem longos caminhos (impulsionado pela severa legislação de responsabilidade de produto) para garantir que seus veículos não sofram de problemas relacionados à EMC. Nos próximos anos, a importância da compatibilidade eletromagnética em aplicações automotivas tende a aumentar ainda mais, uma vez que sistemas de freios, sistemas de direção e anti-colisão totalmente eletrônicos devem ser introduzidos no presente ou em um futuro próximo. Isto implica que o estudo da

EMC e sua introdução no fluxo de projeto são de suma importância para garantir o correto funcionamento de um veículo (REDOUTÉ; STEYAERT, 2009).

3.6 Métodos de medição de imunidade para CIs: IEC 62132

Claramente, nenhum equipamento pode sustentar níveis ilimitados da interferência eletromagnética sem sofrer algum tipo de deficiência em seu funcionamento. Quando projetado para alcançar certo nível de EMC, uma avaliação realista dos níveis de ameaça durante a operação normal deve ser feita.

Configurações para medição de compatibilidade eletromagnética em sistemas eletrônicos automotivos são definidas por padrões criados pelas seguintes organizações: *International Special Committee on Radio Interference*, *Comité International Spécial des Perturbations Radioélectriques* (CISPR) 25 para emissões parasitas, e *Organization for Standardization* (ISO) 11452 para susceptibilidade a EMI (RAMDANI; SICARD et al., 2009).

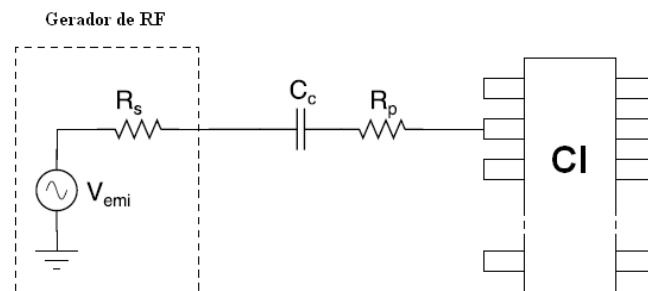
A *International Electrotechnical Commission* (IEC) é uma das organizações internacionais que chama a atenção para uma padronização nos métodos de teste de compatibilidade em circuitos integrados. Os padrões para EMC em circuitos integrados do IEC são de responsabilidade do subcomitê (SC) 47A (circuitos integrados), que é parte do comitê técnico do IEC (WG) 9 que prepara padrões internacionais para procedimentos de testes e medições para avaliação de EMC em CIs. Onde possivelmente, WG 9 coordena a preparação de seus métodos padronizados de teste com métodos já padronizados ou em progresso de padronização com a indústria e órgãos de padrões nacionais, incluindo *Society of Automotive Engineers* (SAE) no Estados Unidos e *Verband der Elektrotechnik, Elektronik und Informationstechnik* (VDE) na Alemanha. A SC 47A, WG 9 liberaram dois padrões principais para medição de EMC em circuitos integrados: o primeiro (liberado em 2001), para medição de emissão radiada e conduzida (IEC 61967), e o segundo (liberado em 2003), para medição de imunidade (IEC 62132). Atualmente, o limite superior de frequência usado nos métodos atuais de medição é limitado em 1 GHz. Devido ao alto nível de integração dos processos atuais, aumento da velocidade de *clock* e complexidade dos circuitos, a demanda por medições da EMI em frequências mais elevadas tendem a crescer, e muito provavelmente este nível superior deve subir para 3 GHz em um futuro próximo (REDOUTÉ; STEYAERT, 2009).

Medição de imunidade à interferência eletromagnética pode ser realizada usando os seguintes métodos (REDOUTÉ; STEYAERT, 2009):

- *TEM cell* e *GTEM cell*;
- *Workbench Faraday cage* (WBFC);
- *Bulk current injection* (BCI);
- *Direct power injection* (DPI);

Para um melhor entendimento da imunidade em CIs e por ser facilmente reproduzível em ferramentas de simulação de circuitos integrados (*Mentor Graphics, Cadence, etc*), o último método de teste (DPI) foi adotado. Neste método de medição, a EMI é injetada no pino do componente através de um bloco de desacoplamento. Na prática, por padrão, este bloco é um capacitor (C_c) de 6.8 nF. A impedância R_s da fonte de EMI é tomada como 50 Ω . O valor padrão do resistor de proteção R_p é 0 Ω , no entanto ele pode ser aumentado até 100 Ω se a aplicação necessitar. A frequência da EMI deve ser medida na faixa de frequência de 150 kHz a 1 GHz.

Figura 3.2: Configuração da medição pelo método DPI.



Fonte: Redouté e Steyaert, (2009).

A configuração usada para medição da EMI é descrita na figura 3.2. A natureza deste procedimento faz com que ele seja facilmente incorporado em simulações. O nível de tensão a ser injetada depende da aplicação do CI e das características de entrada/saída (I/O): um resumo é apresentado na tabela 3.1 traduzida de Redouté e Steyaert (2009).

Tabela 3.1: Níveis de EMI a ser injetado.

Região	Potência da EMI a ser Injetada (W)	Amplitude da tensão de EMI (V)	Notas
1	1 a 5	20 a 44.7	Conexão direta do I/O para o ambiente
2	0.1 a 0.5	6.3 a 14.1	Conexão direta do I/O com o ambiente, mas com alguma filtragem RLC pas-sa-baixa (ex. interface de sensor).
3	0.01 a 0.05	2 a 4.5	Não há conexão direta do I/O para o ambiente (ex. interface com CIs montados no mesmo módulo).

Fonte: Redouté e Steyaert (2009).

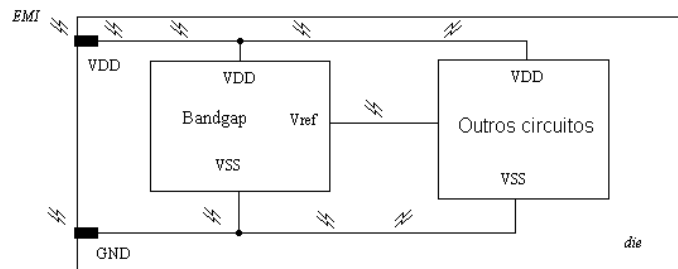
Observa-se que a relação entre o nível de potência da EMI a ser injetada (P_{EMI}) e a amplitude da tensão da EMI (V_{EMI}) é expressa como se segue (REDOUTÉ; STEYAERT, 2009):

$$V_{EMI} = 2\sqrt{2} \cdot \sqrt{P_{EMI} \cdot R_s}. \quad (3.1)$$

3.7 Efeito da EMI sobre uma Referencia de Tensão *Bandgap*

De maneira a alcançar uma clara compreensão do problema causado pela interferência eletromagnética em referências de tensão *bandgap*, mostra-se um simples diagrama de bloco na figura 3.3.

Figura 3.3: Efeito de EMI sobre uma referência de tensão *bandgap*.



Fonte: Pretelli et al., (2003)

Como observa-se na figura 3.3, a EMI podem surgir tanto de circuitos externos como dos sistemas integrados no mesmo *die* espalhando-se pelas linhas de alimentação. Isto é verdade principalmente nos SoCs atuais, no qual circuitos de referência de tensão são obrigados a coexistir juntamente com sistemas analógicos, digitais e de RF (ex. amplificadores de RF), dividindo as mesmas fontes de alimentação.

Há três maneiras conhecidas de prevenir o aparecimento da interferência eletromagnética (PAUL, 2006):

- Suprimir a emissão na sua fonte;
- Fazer com que o acoplamento entre as malhas seja ineficiente;
- Fazer com que o receptor seja menos susceptível a emissão.

Como os circuitos de referência influenciam na precisão de vários circuitos e sistemas, o efeito mais indesejado que a interferência eletromagnética pode causar sobre o mesmo é o *offset* (variação) da tensão de referência gerada, variação essa que pode ser da ordem de centenas de milivolts, ou mesmo, ser tão grande a ponto de implicar em uma falha total do funcionamento do circuito.

Até o momento, muitos testes e simulações que estudam a influência da EMI sobre referências de tensão *bandgap* foram efetuados (ORIENTTI et al., 2008; PRETELLI et al., 2003, 2006; REDOUTÉ, 2010). No entanto, a maioria destes estudos foca no desempenho do amplificador operacional (presente na maioria das referências de tensão *bandgap*) considerando-o o principal responsável pela degradação da imunidade do circuito a interferência eletromagnética. Desta forma, considera-se que projetando um amplificador operacional imune a EMI seria suficiente para garantir a imunidade de todo o circuito. Em particular, estes amplificadores são projetados para alcançar uma alta atenuação do ruído de fonte (*Power Supply Noise Attenuation* – PSNA) e baixa distorção.

Como este trabalho não prevê a adição de subcircuitos, mas apenas o projeto da referência de tensão, escolheu-se a última dentre as três maneiras de supressão da interferência eletromagnética citadas, ou seja, fazer com que a referência de tensão seja menos susceptível a EMI. Outra característica do circuito a ser projetado é que não se foca apenas no desempenho do amplificador operacional, mas sim no circuito como um todo. Desta forma escolheu-se uma topologia que fornecesse uma alta atenuação do ruído de fonte (PSNA), baixa distorção, ampla faixa dinâmica de entrada, baixa resistência de entrada e alta resistência de saída. Características estas que aumentam a imunidade do circuito à interferência eletromagnética.

3.8 Imunidade a Interferência Eletromagnética em Amplificadores Operacionais

Amplificadores operacionais CMOS são circuitos muito comuns na concepção de circuitos analógicos, porém, eles são extremamente sensíveis à interferência eletromagnética quando injetada em seus terminais de entrada. Muitas publicações tratam desse assunto e muitas medições e simulações, estudando o comportamento do amplificador operacional quando submetido à EMI, foram conduzidos e publicados por Fiori e Croveti (2002b) e por Richelli e Colalongo et al. (2004). Medições da EMI relacionando a interferência eletromagnética com o *offset* DC gerado na saída de vários amplificadores operacionais comerciais foram apresentadas em (POULTON, 1994). Amplificadores podem retificar sinais das interferências eletromagnéticas de frequências situadas bem acima de sua largura de banda resultando em harmônicas, intermodulação e *offset* DC em sua saída.

Amplificadores operacionais comuns costumam ter três pinos principais (terminais de saída, entrada e da fonte de alimentação).

Isto significa que considerando o método DPI, a EMI pode afetar o amplificador de três maneiras distintas (REDOUTÉ; STEYAERT, 2009):

- Injeção da EMI no pino da fonte de alimentação;
- Injeção da EMI no pino de saída;
- Injeção da EMI nos pinos de entrada.

Como o amplificador que será inserido no circuito é um bloco integrante da referência de tensão *bandgap* ele não possui pinos de saída e entrada, apenas o pino da fonte de alimentação. Desta forma, considerou-se mais crítica a injeção da EMI sobre a fonte de alimentação nesse projeto.

Em geral, na injeção da EMI no pino da fonte de alimentação, o desempenho influenciado por variações na tensão de alimentação é descrito pela taxa de rejeição ao ruído de fonte PSRR, que é a razão da função de transferência entre o sinal de entrada e o de saída. Consequentemente, um aumento no PSRR do amplificador pode ser conseguido aumentando o produto ganho largura de banda (GBW) do amplificador em questão (REDOUTÉ; STEYAERT, 2009). No entanto, o PSRR na prática é limitado pelos descasamentos do circuito, sendo assim melhorias nesse quesito são necessárias. Acrescentando, quando sinais de EMI de alta frequência são injetados na fonte de alimentação há interferência no bom funcionamento do amplificador operacional podendo levar até uma interrupção em seu funcionamento.

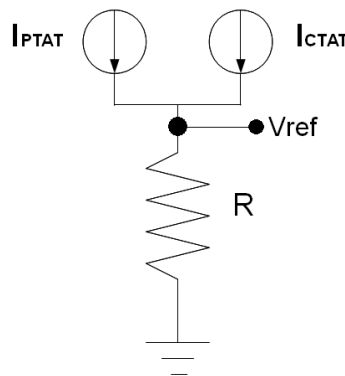
Filtragem interna e externa previne que a EMI acople no amplificador por meio de fonte de alimentação gerando *offset* em sua saída. Isto é mostrado por Kovács-vajna et al. (2000), onde o comportamento do amplificador 741 de três fabricantes diferentes são comparados através de medições quando a mesma quantidade de EMI é injetada em suas respectivas fontes de alimentação.

Seguindo essa linha de idéias procurou-se projetar um amplificador com alto PSRR, visando rejeitar grande parte de perturbações provenientes da fonte de alimentação.

4 CIRCUITO DE REFERÊNCIA PROPOSTO: CONCEITO

Utilizando o mesmo princípio do circuito da figura 2.12, é proposto o projeto de uma referência de tensão baseada na soma de correntes com coeficientes térmicos opostos (uma PTAT e uma CTAT) de maneira a obter, sobre um resistor, uma referência de tensão insensível à temperatura e variações do processo da tecnologia CMOS empregada. A figura 4.1 ilustra o conceito do estágio de saída do circuito gerador da referência de tensão proposto.

Figura 4.1: Estágio de saída do circuito gerador da referência de tensão proposta.



Fonte: Souza e Oki (2011).

Equacionando o circuito da figura 4.1:

$$V_{REF} = R(I_{CTAT} + I_{PTAT}). \quad (4.1)$$

A equação (4.1) possui três termos variantes com a temperatura, I_{CTAT} , I_{PTAT} e R . Desta forma, seguindo o raciocínio da equação (2.31), para o devido cancelamento do coeficiente térmico do resistor R , deve-se fazer com que as equações geradoras de I_{CTAT} e I_{PTAT} tenham a seguinte forma:

$$I_{CTAT} = \frac{V_{CTAT}}{R_2} \quad \text{e} \quad I_{PTAT} = \frac{V_{PTAT}}{R_1}. \quad (4.2)$$

Assim substituindo 4.2 em 4.1:

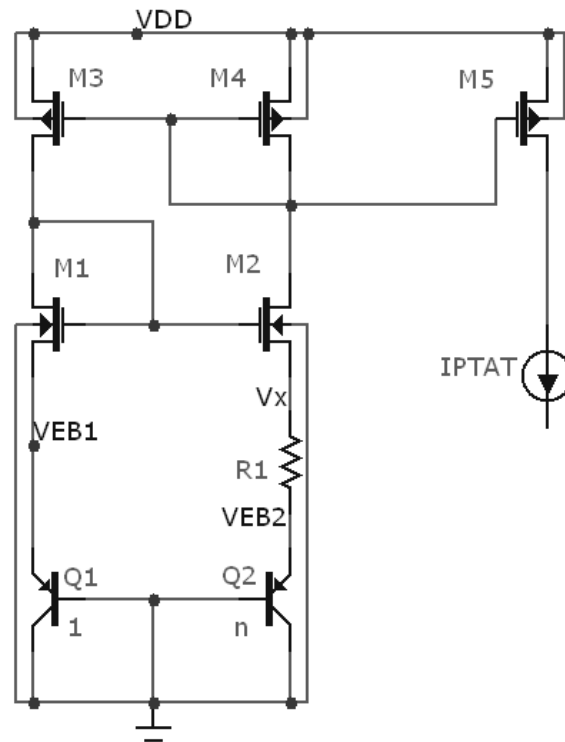
$$V_{REF} = R \left(\frac{V_{CTAT}}{R_2} + \frac{V_{PTAT}}{R_1} \right). \quad (4.3)$$

Dessa forma, na equação (4.3) se cancelariam os coeficientes térmicos dos resistores, resultando em uma expressão de compensação de primeira ordem bem parecida com a equação (2.31).

4.1 Circuito Gerador da Corrente PTAT

Úteis em várias aplicações, correntes PTATs podem ser geradas combinando uma topologia de espelho de corrente independente da alimentação (figura 2.3) com uma fonte geradora de corrente baseada em transistores bipolares, formando um circuito como o da figura 4.2.

Figura 4.2: Circuito gerador de corrente PTAT.



Fonte: Razavi (2001).

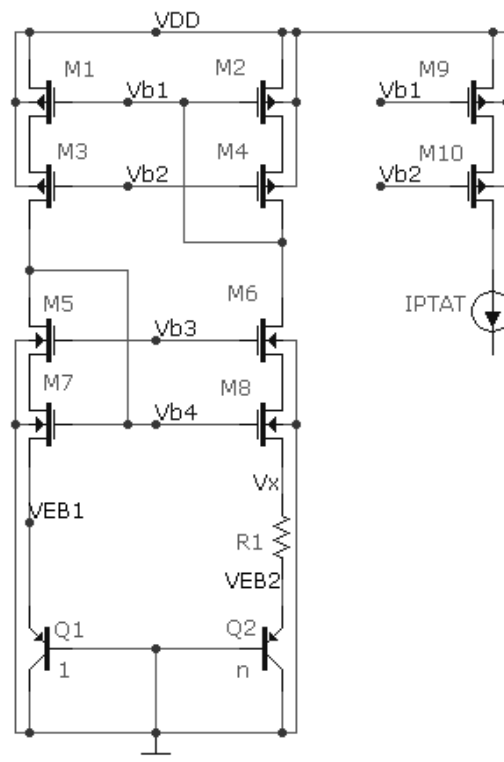
Assumindo, por simplicidade, que M_1 - M_2 e M_3 - M_5 são transistores idênticos e que a área de Q_2 é n vezes maior que a de Q_1 , nota-se que, para $I_{D1}=I_{D2}$, o circuito garante que $V_{EB1}=V_X$. Desta forma,

$$I_{D1} = I_{D2} = I_{PTAT} = \frac{|\Delta V_{EB}|}{R_1} = \frac{|V_T \cdot \ln n|}{R_1}. \quad (4.4)$$

Assim, a equação (4.4) prova que I_{D5} é uma corrente PTAT, uma vez que V_T é proporcional à temperatura absoluta. Na prática, devido a descasamentos entre os transistores e o coeficiente de temperatura de R_1 o valor de $I_{PTAT}(=I_{D5})$ desvia-se de seu valor ideal.

Como se busca um projeto que seja menos susceptível a tais erros, optou-se pela substituição do espelho de corrente simples da figura 4.2 por um outro de alto desempenho mais conhecido como espelho de corrente *cascode wide-swing*. Na figura 4.3 segue o esquema do circuito da figura 4.2 modificado.

Figura 4.3: Circuito gerador da corrente PTAT utilizando espelho de corrente *cascode wide-swing*.



Fonte: Razavi (2001).

Propõe-se esse circuito para reduzir os erros de casamento entre as correntes, erros esses causados pelas variações no processo da tecnologia CMOS empregada e descasamento entre os dispositivos bipolares e MOS. É importante acrescentar também as seguintes características desta topologia:

- Alta resistência de saída;
- Alto PSRR;
- Ampla faixa dinâmica de entrada;
- Alta excursão de saída.

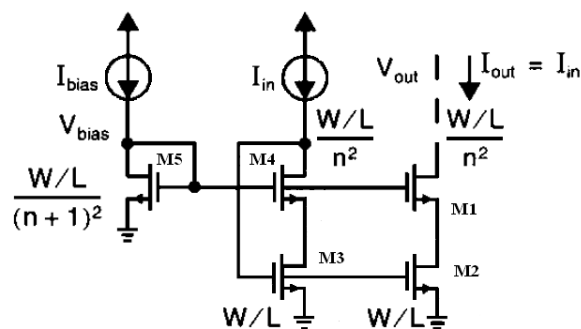
Características estas que estão intimamente ligadas à supressão da EMI.

As tensões V_{b2} e V_{b3} são tensões de polarização geradas por outro circuito que neste trabalho foi chamado de circuito de polarização, circuito este que será mostrado mais adiante. Há várias topologias que podem ser usadas com esse objetivo e fica a cargo do projetista encontrar uma topologia que satisfaça suas necessidades. Neste projeto, o circuito de polarização deve ser cuidadosamente projetado, pois também deve garantir uma alta imunidade à interferência eletromagnética, caso contrário, todo o esforço no projeto da referência de tensão será perdido.

4.2 Espelho de corrente *cascode wide-swing*

Gradualmente as novas tecnologias semicondutoras estão diminuindo o tamanho dos dispositivos (encurtando o canal) CMOS e, cada vez, mais o projeto de estruturas com ganho razoável fica mais complexo devido à diminuição da impedância de saída causada pelo efeito da diminuição do canal dos transistores. Em função disso, projetistas são forçados a usar frequentemente topologias de espelho de corrente *cascode*. De forma desfavorável, o uso de topologias *cascode* convencionais limita a excursão do sinal de saída válido, porém, existem algumas estruturas que não limitam tanto o sinal. Uma delas é a mostrada na figura 4.4 e é mais conhecida pelo nome de espelho de corrente *cascode wide-swing* (“*wide-swing cascode current mirror*” (JOHNS; MARTIN, 1997).

Figura 4.4: Espelho de corrente *cascode wide-swing*.



Fonte: Johns e Martin (1997).

A ideia básica deste espelho de corrente é polarizar a tensão dreno-fonte dos transistores M2 e M3 com um valor próximo ao mínimo permitido sem que eles entrem na região de triodo. Usando a relação W/L dos transistores mostrados na figura 4.4 e assumindo que a equação quadrática para transistores MOS de canais longos é válida, os transistores M2 e M3

estarão operando na saturação. Nota-se também que os transistores M3 e M4 agem como um único transistor, conectado como diodo, gerando a tensão porta-fonte (V_{GS}) de M3 (JOHNS; MARTIN, 1997).

A razão da inclusão de M4 é diminuir a tensão dreno-fonte (V_{DS}) de M3 de forma que ela seja o mais próxima da tensão V_{DS} de M2. Este casamento entre as duas tensões V_{DS} faz com que a corrente de saída, I_{out} , seja praticamente igual à corrente de entrada, I_{in} . Se M4 não fosse incluído no circuito, então, a corrente de saída seria um pouco menor que a corrente de entrada devido à impedância finita de M2 e M3. Além dessas razões, M4 tem pouca influência na operação do circuito (JOHNS; MARTIN, 1997).

Agora serão determinadas as tensões de polarização deste circuito. Sendo V_{ef} a tensão efetiva ($V_{GS}-V_t$) de M2 e M3 e assumindo que todas as correntes de dreno são iguais, tem-se (JOHNS; MARTIN, 1997):

$$V_{ef} = V_{ef2} = V_{ef3} = \sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \left(\frac{W}{L}\right)}}. \quad (4.5)$$

Desde que, M5 tenha a mesma corrente de dreno e que seja $(n+1)^2$ vezes menor que M2 e M3, a aplicação de (4.5) em M5 resulta em:

$$V_{ef5} = (n+1)V_{ef}. \quad (4.6)$$

Seguindo um procedimento semelhante, resulta em uma tensão porta-fonte de M1 e M4 dada por:

$$V_{ef1} = V_{ef4} = nV_{ef}. \quad (4.7)$$

Assim, utilizando-se o resultado de (4.6), conclui-se que

$$V_{G5} = V_{G4} = V_{G1} = (n+1)V_{ef} + V_t. \quad (4.8)$$

E ainda, com o auxílio de (4.6) e (4.8) se obtém:

$$V_{DS2} = V_{DS3} = V_{G5} - V_{GS1} = V_{G5} - (nV_{ef} + V_t) = V_{ef}. \quad (4.9)$$

Esta tensão dreno-fonte coloca M2 e M3 na saturação. Por inspeção do circuito da figura 4.4, $V_{out}=V_{DS1}+V_{DS2}$, e, para que os transistores operem na saturação é necessário que $V_{DS}>V_{ef}$, então, recorrendo a (4.5) e (4.7) conclui-se que a mínima tensão de saída permitida é agora:

$$V_{out} > V_{ef1} + V_{ef2} = (n + 1)V_{ef}. \quad (4.10)$$

Fazendo $n=1$ em (4.10), chega-se a,

$$V_{out} > 2V_{ef}. \quad (4.11)$$

Com um valor típico pra V_{ef} entre 0,2 e 0,25 V, o espelho de corrente *cascode wide-swing* pode garantir que todos os transistores estão na região ativa (saturação) mesmo quando a tensão sobre o espelho for por volta de 0,4 e 0,5 volts (JOHNS; MARTIN, 1997).

No entanto, há outra exigência para garantir que todos os transistores estejam operando na região ativa. Especificamente, é necessário se impor que:

$$V_{DS4} > V_{ef4} = nV_{ef}. \quad (4.12)$$

Para encontrar V_{DS4} , nota-se que a porta de M_3 está conectada no dreno de M_4 , resultando em:

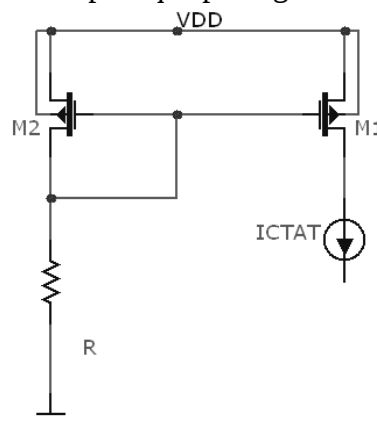
$$V_{DS4} = V_{G3} - V_{DS3} = (V_{ef} + V_t) - V_{ef} = V_t. \quad (4.13)$$

Em conclusão, basta garantir que V_t seja maior que nV_{ef} para M_4 permanecer na região ativa, o que não é muito difícil.

4.3 Circuito Gerador da Corrente CTAT

A corrente complementar a temperatura absoluta pode ser gerada por meio de um

Figura 4.5: Espelho simples que pode gerar uma corrente CTAT.



Fonte: Dados do próprio autor.

Porém, precisa-se chegar a uma equação similar a (2.42). Para isso V_Z deve ter o mesmo comportamento em temperatura que V_{EB1} , em outras palavras deve-se garantir que $V_{EB1} = V_Z$. Este problema é resolvido adicionando-se um amplificador operacional com realimentação da maneira indicada na figura 4.7, que é mostrada mais adiante, onde o alto ganho do amplificador operacional garante a igualdade entre as tensões V_Z e V_{EB1} . Assim, a equação (4.15) pode ser rearranjada da seguinte forma,

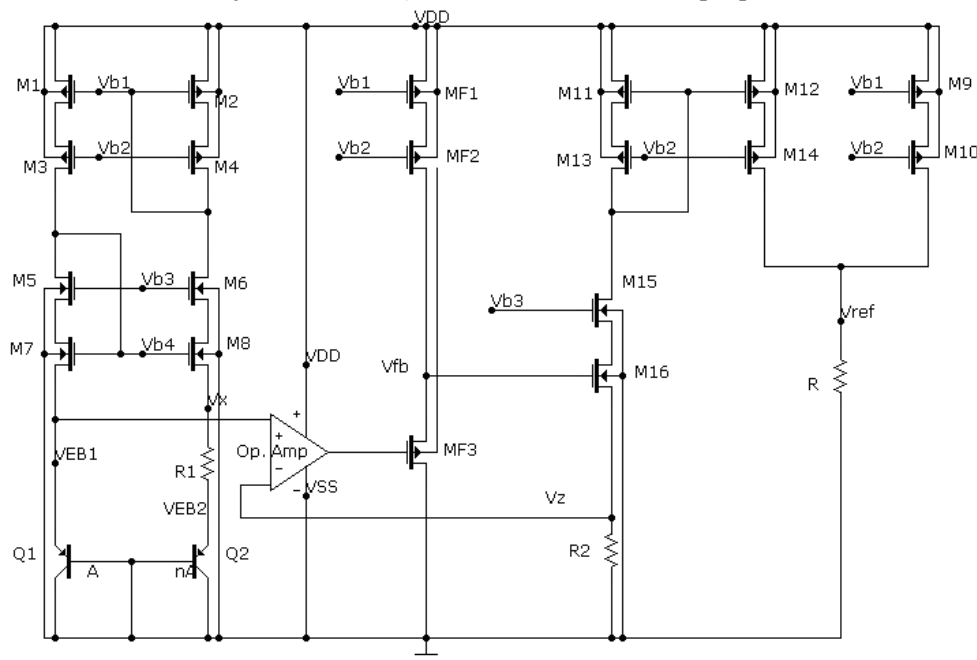
$$V_{REF} = \left(\frac{\Delta V_{EB}}{R_1} + \frac{V_{EB1}}{R_2} \right) R. \quad (4.16)$$

Chega-se assim a uma equação característica de uma referência de tensão tipo *band-gap*.

4.5 Circuito Referência de Tensão Completo

Abaixo, na figura 4.7, segue o esquemático do circuito gerador de referência de tensão proposto. Para maior simplicidade foram omitidos os circuitos que geram as tensões de polarização V_{b2} e V_{b3} e o que resolve o problema de inicialização do circuito, mais conhecido como *start-up*.

Figura 4.7: Esquemático completo (sem os circuitos de *start-up* e geradores das tensões de polarização V_{b2} e V_{b3}) da referência de tensão proposta.



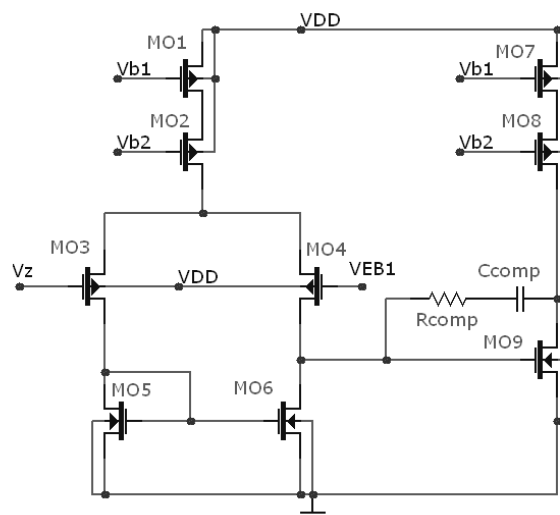
Fonte: Dados do próprio autor.

O amplificador operacional no circuito da figura 4.7 tem um papel de extrema importância, pois ele garante a igualdade entre as tensões V_{EB1} e V_Z validando as equações desenvolvidas no item 4.4. O alto ganho do amplificador operacional força com que $V_{EB1} \approx V_Z$ e a realimentação negativa, composta pelos transistores MF1-MF3 e M16, controla a tensão na porta de M16 (V_{fb}) e, por consequência, a transcondutância (relação tensão-corrente) deste mesmo transistor. Em outras palavras, esta malha de realimentação determina o valor da corrente CTAT que deverá fluir por R_2 para manter $V_{EB1} \approx V_Z$.

4.6 Amplificador Operacional

Como visto na seção 3.8, a interferência eletromagnética pode afetar o amplificador operacional de três formas distintas. Como o amplificador a ser projetado está incorporado ao circuito como um bloco, não possuindo pinos de entrada e saída, mas apenas o pino da fonte de alimentação e terra, a principal maneira que a EMI pode interferir no correto funcionamento do circuito é por meio de injeção na fonte de alimentação. De maneira geral, o desempenho de um sistema submetido a variações em sua tensão de alimentação é descrito pela sua razão de rejeição da fonte de alimentação (PSRR). Como as outras duas maneiras de injeção terão pouca influência sobre o amplificador a ser projetado, preferiu-se na concepção da referência a topologia de um amplificador simples de dois estágios seguindo o esquema apresentado na figura 4.8.

Figura 4.8: Amplificador operacional de dois estágios usado na concepção da referência proposta.



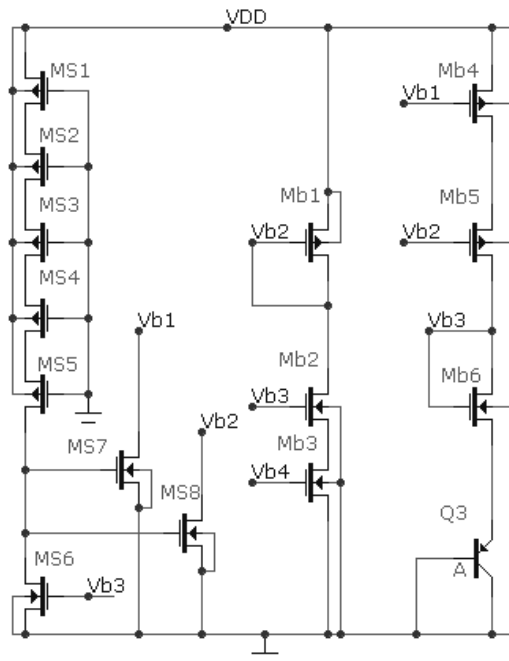
Fonte: Dados do próprio autor.

4.7 Circuito de Polarização e *Start-up*

Neste trabalho, buscando um circuito que exiba baixa susceptibilidade a EMI, o circuito de polarização deve ser cuidadosamente projetado, pois deve também possuir uma alta imunidade à interferência eletromagnética, caso contrário, todo esforço gasto no projeto da célula da referência de tensão *bandgap* pode ser perdido. Por esta razão, optou-se pela configuração *cascade* para o circuito de polarização (Mb1-Mb6 e Q3) como se pode observar na figura 4.9.

Segue na figura 4.9, os circuitos responsáveis pela geração das tensões de polarização Vb2 e Vb3 e o que resolve o problema de inicialização do circuito (*start-up*).

Figura 4.9: Circuito gerador das tensões de polarização Vb2 e Vb3.



Fonte: Dados do próprio autor.

Os transistores Mb4-Mb6 e Q3 estabelecem a tensão de polarização Vb3, enquanto os transistores Mb1-Mb3 a tensão Vb2.

O circuito possui dois pontos de operação, em 0 V (indesejado) e 1,35 V (desejado). Para que o circuito não opere no ponto indesejado adicionou-se o circuito de *start-up* (MS1-MS8), o qual não influencia no funcionamento da referência quando a mesma trabalha de maneira desejada, só entrando em operação quando o circuito não opera satisfatoriamente.

5 MODELO COMPORTAMENTAL DO CIRCUITO PROPOSTO

Antes de partir para o projeto em nível de transistor, preferiu-se construir o modelo comportamental da referência a ser projetada para que, desta forma, se tivesse uma ideia de como o circuito iria se comportar antes mesmo de ser concebido, prevendo problemas que poderão ocorrer para assim antecipar as correções, o que resultará num menor tempo de projeto.

5.1 Especificações Iniciais de projeto

Antes de qualquer definição de projeto, seguem na tabela 5.1 alguns parâmetros de processo da tecnologia 0,35 μ m CMOS C35, constantes elétricas e parâmetros calculados que foram necessários para os cálculos desenvolvidos nesta sessão.

Tabela 5.1: Tabela contendo parâmetros de processo da tecnologia CMOS 0,35 μ m, constantes e outros parâmetros calculados.

Parâmetros	Valor	Unidade
k	1,38E-23	J/K
q	1,6E-19	C
V_{EB}	0,680	V
V_{GO}	1,205	V
T_0	300	K
$\partial V_{EB}/\partial T$	-1,68E-3	V/K
$\partial \Delta V_{EB}/\partial T$	2,67E-4	V/K

Sendo:

k : Constante de *Boltzmann*;

q : carga do elétron;

V_{EB} : Tensão base-emissor a Temperatura ambiente (300K ou 27 °C);

T_0 : Temperatura ambiente (27°C ou 300K);

T : Temperatura (K);

$\partial V_{EB}/\partial T$: Variação de V_{EB} com a temperatura;

$\partial \Delta V_{EB}/\partial T$: Variação da diferença de tensão base-emissor (ΔV_{EB}) com a temperatura;

O valor de $\partial V_{EB}/\partial T$ foi calculado segundo (2.16). Já $\partial \Delta V_{EB}/\partial T$ pode ser obtido substituindo os parâmetros da tabela na equação (2.20).

Para início do projeto é necessário estabelecer algumas definições iniciais, ou, em outras, palavras as especificações iniciais de projeto da referência de tensão proposta.

Especificações iniciais da referência de tensão proposta:

- Tensão de alimentação (V_{DD}): 3,3 V;
- Corrente de projeto (I_{proj}): definiu-se como 30 μA ;
- Tensão de referência: 1,35 V;
- Faixa de temperatura em que o circuito deve operar: -40 a 150°C;
- Alta PSRR, maior que 60 dB em 1 Hz;
- Baixa susceptibilidade a EMI.

5.2 Definição e Resolução das Incógnitas de Projeto

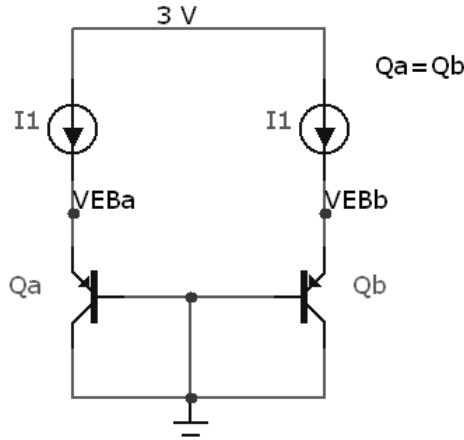
A fim de resolver a equação 4.16, precisam-se conhecer as seguintes incógnitas: V_{REF} (que já foi definida nas especificações iniciais). O valor dos resistores R , R_1 e R_2 (incógnitas a serem calculadas) e, por fim, ΔV_{EB} (calculado) e V_{EB} (fornecido pela Austriamicrosystems e foi incluído na tabela 5.1).

Pela equação 4.4, sabe-se que para o cálculo de ΔV_{EB} precisa-se conhecer outra incógnita, que, para a referência proposta, será chamada de n . Assim, visando uma forma mais realista do funcionamento do circuito, assumiu-se que ΔV_{erro} representa o erro de tensão gerado pelas variações do processo da tecnologia CMOS empregada, características não ideais e descasamento nos transistores bipolares. Então, a corrente que flui pelo emissor de Q_2 (figura 4.3) pode ser expressa por:

$$I_{Q2} = \frac{|V_T \ln n + \Delta V_{erro}|}{R_1} \quad (5.1)$$

Assim, ΔV_{erro} induz uma variação na corrente que flui sobre Q_2 . Tentando minimizar essa fonte de erro, supõe-se que $V_T \ln(n) > 10 \Delta V_{erro}$ (para um erro menor que 10%), e então, o erro pode ser minimizado. Como o valor de ΔV_{erro} não foi dado pelo fabricante foi feita uma simulação *Monte Carlo* colhendo 100 amostras do circuito da figura 5.1. Na simulação foi assinalado o modelo *WC* (*worst-case: pior caso*) para os dispositivos bipolares e as variâncias *dev* e *lot*. Assinalando esta opção, as variâncias de processo e de casamento entre dispositivos são correlacionadas com as variáveis do modelo *WC* permitindo obter valores próximos aos reais.

Figura 5.1: Configuração utilizada para obtenção do valor de ΔV_{erro} .



Fonte: Dados do próprio autor.

Por simulação, obteve-se que ΔV_{erro} é aproximadamente 8 mV. Desta forma calcula-se o valor de n de maneira a minimizar os erros de processo e casamento dos transistores bipolares. Logo, um valor de n que satisfaz a equação (5.1) é 22.

É importante dizer que ao optar por $n = 22$ implicar-se-á na utilização de uma grande área do circuito integrado, pois transistores bipolares ocupam uma grande área em processos que utilizam a tecnologia CMOS. Porém, como se preza por desempenho, sacrificou-se área do chip em razão da obtenção de um circuito de alta qualidade.

Uma vez definido os valores de n , da corrente de projeto e tensão de referência, deriva-se a equação (4.16) em relação à temperatura obtendo uma expressão que permita o cálculo das resistências de R_1 e R_2 .

Assim,

$$\begin{aligned}
 \frac{\partial V_{\text{REF}}(T)}{\partial T} \approx 0 &= \frac{\partial \left(\Delta V_{\text{EB}}(T) \frac{R(T)}{R_1(T)} \right)}{\partial T} + \frac{\partial \left(V_{\text{EB}}(T) \frac{R(T)}{R_2(T)} \right)}{\partial T} \\
 &= \frac{\partial (\Delta V_{\text{EB}}(T))}{\partial T} \left[\frac{R(T)}{R_1(T)} \right] + \Delta V_{\text{EB}}(T) \frac{\partial}{\partial T} \left[\frac{R(T)}{R_1(T)} \right] + \frac{\partial (V_{\text{EB}}(T))}{\partial T} \left[\frac{R(T)}{R_2(T)} \right] \\
 &\quad + V_{\text{EB}}(T) \frac{\partial}{\partial T} \left[\frac{R(T)}{R_2(T)} \right].
 \end{aligned} \tag{5.2}$$

Como os resistores são feitos de mesmo material (poly2) seus coeficientes de temperatura se anulam, ou seja,

$$\frac{\partial}{\partial T} \left[\frac{R(T)}{R_1(T)} \right] = 0 \quad \text{e} \quad \frac{\partial}{\partial T} \left[\frac{R(T)}{R_2(T)} \right] = 0. \tag{5.3}$$

Substituindo (5.3) em (5.2), por meio de algumas manipulações chega-se a seguinte relação:

$$\frac{R_1(T_0)}{R_2(T_0)} = \frac{\frac{\partial \Delta V_{EB}(T)}{\partial T}}{\frac{\partial V_{EB}(T)}{\partial T}} = rel, \quad (5.4)$$

sendo *rel* a relação R_1/R_2 na temperatura ambiente T_0 .

Desenvolvendo a equação (4.16) na temperatura ambiente (T_0) e usando a relação obtida em (5.4),

$$V_{REF}(T_0) = \left(\frac{\Delta V_{EB}(T_0)}{rel \cdot R_2(T_0)} + \frac{V_{EB}(T_0)}{R_2(T_0)} \right) R(T_0) = \left(\frac{\frac{\Delta V_{EB}(T_0)}{rel}}{R_2(T_0)} + \frac{V_{EB}(T_0)}{R_2(T_0)} \right) R(T_0)$$

$$R_2(T_0) = \left(\frac{\frac{\Delta V_{EB}(T_0)}{rel} + V_{EB}(T_0)}{V_{REF}(T_0)} \right) R(T_0). \quad (5.5)$$

Por fim, calcula-se o valor de R_2 por (5.5), e, com o valor obtido, pode-se calcular o valor de R_1 usando a equação (5.4).

Com os valores definidos pelas equações desta seção calcula-se também $I_{CTAT}(T_0)$ e $I_{PTAT}(T_0)$, usando-se as equações (4.14) e (4.4).

Abaixo na tabela 5.2 segue o resumo dos valores das incógnitas de projeto.

Tabela 5.2: Incógnitas de projeto a temperatura ambiente ($T_0=27^\circ\text{C}$ ou 300K).

Parâmetros	Valor	Unidade	Descrição
I_{proj}	30	μA	Corrente de projeto
V_{REF}	1,35	V	Tensão de referência
<i>rel</i>	0,158	-	R_1/R_2
R_2	39,5k	Ω	Resistência R_2
R_1	6,26k	Ω	Resistência R_1
R	45k	Ω	Resistência R
I_{PTAT}	12,8	μA	Corrente PTAT
I_{CTAT}	17,2	μA	Corrente CTAT
n	22	-	Razão entre áreas de emissor de Q_1 e Q_2

5.3 Concepção e Verificação do Modelo Comportamental do Circuito Proposto

Com os resultados da tabela 5.2 pode-se modelar o comportamento do circuito rapidamente, verificando a consistência das etapas do projeto desenvolvidas. Esta parte do projeto é muito importante, pois prevê os problemas que podem aparecer uma vez que cada etapa do projeto é equacionada. É importante dizer que, quanto mais rigoroso for o modelamento comportamental do circuito, mais próximos os resultados serão do circuito real projetado.

Sabe-se de (2.19) que, o comportamento da diferença de tensão base-emissor de dois transistores bipolares na temperatura é representado pela seguinte expressão:

$$\Delta V_{BE}(T) = V_T(T) \ln n. \quad (5.6)$$

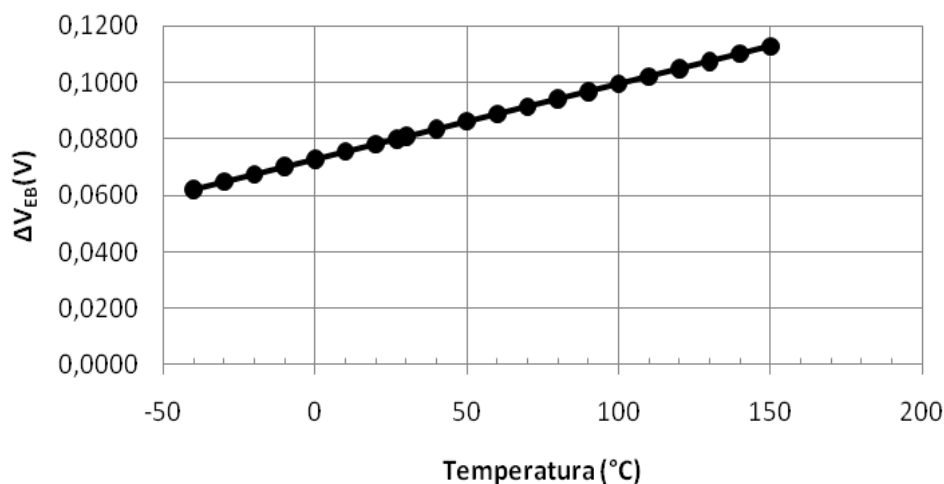
Como o resistor $R_1(T)$ varia na temperatura (T), a equação (4.4) com auxílio de (5.6) pode ser representada como se segue:

$$I_{PTAT}(T) = \frac{\Delta V_{BE}(T)}{R_1(T)}. \quad (5.7)$$

Assim, utilizando ferramentas de cálculo (*Excel* do *Microsoft Office*, *Matlab*, *Matcad..*), pode-se modelar o comportamento de $\Delta V_{BE}(T)$ e $I_{PTAT}(T)$ em função da temperatura, para as especificações de projeto.

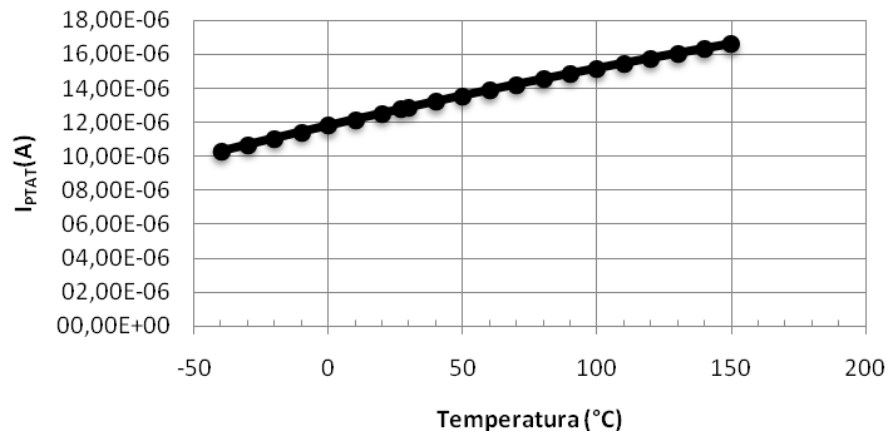
Os gráficos a seguir foram obtidos usando a ferramenta de cálculo *Excel* do *Microsoft Office*.

Figura 5.2: de $\Delta V_{BE}(V)$ com a temperatura ($^{\circ}C$).



Fonte: Dados do próprio autor.

Figura 5.3: Comportamento da corrente PTAT com a temperatura.



Fonte: Dados do próprio autor.

As figuras 5.2 e 5.3 mostram o comportamento de ΔV_{EB} e I_{PTAT} na temperatura. Observa-se que ambos são proporcionais a temperatura absoluta.

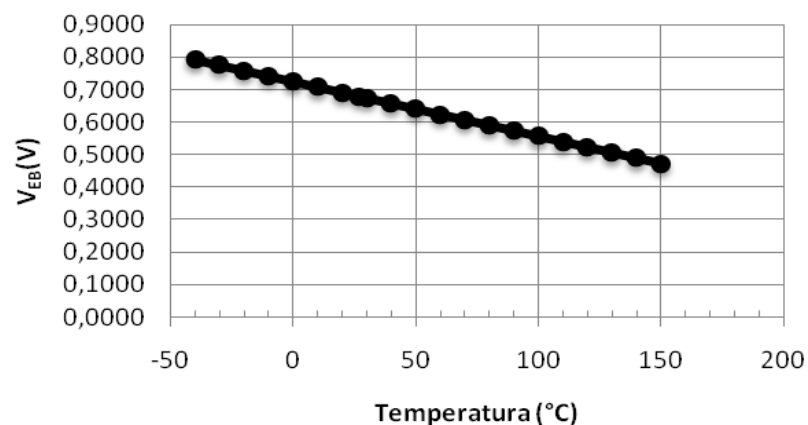
De maneira análoga, pode-se modelar $V_Z(T)$ ($=V_{EB}(T)$) e, conseqüentemente, $I_{CTAT}(T)$. Expandindo-se em série de Taylor e mantendo-se apenas os termos lineares, obtêm-se:

$$V_{BE}(T) = V_Z(T) = V_{BE}(T_0) + \frac{\partial V_{BE}(T)}{\partial T} \cdot (T - T_0). \quad (5.8)$$

Como o resistor $R_2(T)$ varia na temperatura (T), a equação (4.14) com auxílio de (5.8) pode ser representada como se segue:

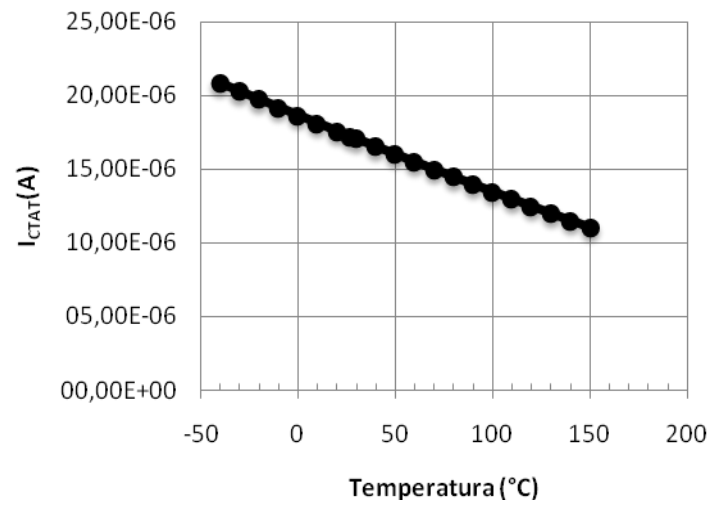
$$I_{CTAT}(T) = \frac{V_Z(T)}{R_2(T)}. \quad (5.9)$$

Figura 5.4: Comportamento da tensão base-emissor V_{EB1} com a temperatura.



Fonte: Dados do próprio autor.

Figura 5.5: Comportamento da corrente CTAT com a temperatura.



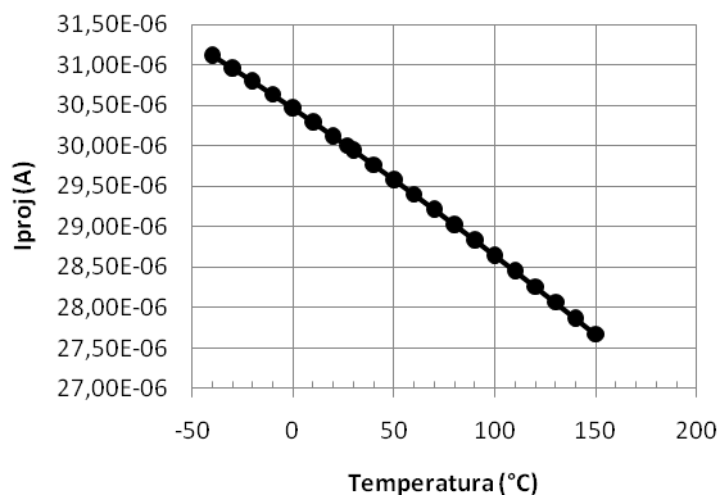
Fonte: Dados do próprio autor.

Observa-se pelas figuras 5.4 e 5.5 que $V_Z(T)$ e $I_{CTAT}(T)$ se comportam de maneira complementar a temperatura absoluta como é esperado.

Assim, podem-se somar as correntes PTAT e CTAT de forma a obter uma corrente de projeto variante com a temperatura como se vê na figura 5.6.

$$I_{proj}(T) = I_{PTAT}(T) + I_{CTAT}(T).$$

Figura 5.6: Comportamento da corrente de projeto com a temperatura.



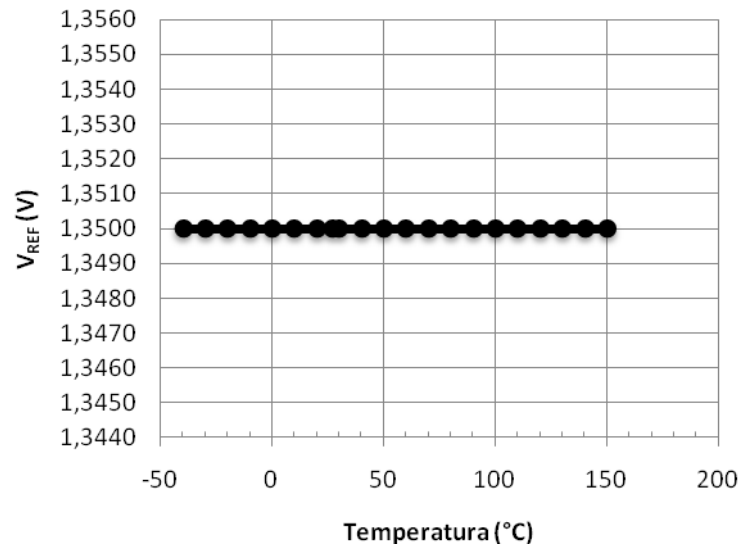
(5.10)

Fonte: Dados do próprio autor.

Finalizando, sabe-se que o resistor R também varia com a temperatura, sendo assim, (4.1) pode ser reescrita como se segue:

$$V_{REF}(T) = I_{proj}(T) \cdot R(T). \quad (5.11)$$

Figura 5.7: Comportamento da Tensão de referência com a temperatura.



Fonte: Dados do próprio autor.

Como se vê na figura 5.7, o coeficiente de temperatura do resistor R na saída compensa o coeficiente de temperatura negativo de $I_{proj}(T)$ gerando assim, na saída do circuito, uma tensão de referência estável, em torno de 1,35 V, na faixa de temperatura de -40 a 150°C.

6 CIRCUITO DE REFERÊNCIA PROPOSTO: PROJETO EM NÍVEL DE TRANSISTOR

Como a maioria das incógnitas de projeto foi previamente calculada, partiu-se para o projeto, em nível de transistor, da referência de tensão proposta.

6.1 Dimensionamento do Circuito Gerador da Corrente PTAT

Com os valores de n e R_1 , projeta-se a fonte de corrente PTAT do circuito. Com os valores da corrente PTAT calculados na seção anterior observa-se que a corrente nominal (na temperatura ambiente) sobre cada malha do circuito será em torno de $12,8 \mu\text{A}$. Desta forma pode-se calcular o tamanho mínimo dos transistores M1-M10. Na figura 4.7, a relação W/L mínima desses transistores é calculada pelas equações quadráticas para transistores operando na saturação.

Desconsiderando o efeito de modulação do comprimento do canal, para o transistor NMOS tem-se:

$$I = \frac{1}{2} \cdot K_n \cdot \frac{W}{L} \cdot (V_{GS} - V_{t,n})^2. \quad (6.1)$$

Analogamente, para o transistor PMOS, tem-se:

$$I = \frac{1}{2} \cdot K_p \cdot \frac{W}{L} \cdot (V_{GS} - V_{t,p})^2. \quad (6.2)$$

Segue na tabela 6.1 o resumo da geometria dos dispositivos PMOS e NMOS do circuito gerador da corrente PTAT.

Tabela 6.1: Dimensões dos dispositivos do circuito gerador da corrente PTAT.

Dispositivos	W/L (mínimo)	W/L (Adotado)	Adotados	
			W(μm)	L (μm)
M1, M2 e M9	0,9	3,0	12	4
M3, M4 e M10	0,85	6,0	12	2
M5 e M6	0,40	6,0	8	2
M7 e M8	0,58	2,0	12	4

6.2 Dimensionamento do Circuito Gerador da Corrente CTAT

Com os valores da corrente CTAT calculados na seção anterior observa-se que a corrente nominal (na temperatura ambiente) sobre cada malha do circuito será de $17,2 \mu\text{A}$. Desta forma, pode-se calcular o tamanho mínimo dos transistores M11-M16 e MF1-MF3 (transistores da malha de realimentação) na figura 4.7. A relação W/L mínima desses transistores é calculada pelas equações (6.1) e (6.2).

Segue na tabela abaixo o resumo da geometria dos dispositivos PMOS e NMOS do circuito gerador da corrente CTAT.

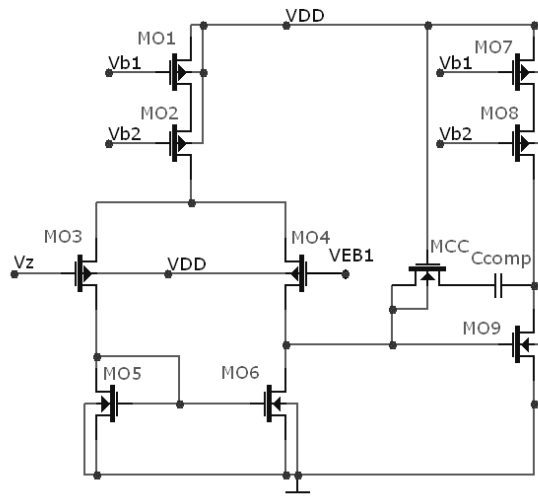
Tabela 6.2: Dimensões dos dispositivos do circuito gerador da corrente CTAT.

Dispositivos	W/L (mínimo)	W/L (Adotado)	Adotados	
			W(μm)	L(μm)
M11, M12 e MF1	1,21	3,0	12	4
M13, M14 e MF2	1,14	6,0	12	2
M15	0,55	6,0	8	2
M16	0,78	2,0	12	4
MF3	6,01	182,85	64	0,35

6.3 Projeto do Amplificador Operacional

A única modificação feita na topologia, do circuito proposto (figura 4.8) para o adotado, foi a substituição do resistor R_{comp} por um transistor NMOS funcionando como resistor (operando na região linear). O esquema do circuito modificado é mostrado na figura 6.1.

Figura 6.1: Amplificador operacional com resistor ativo projetado



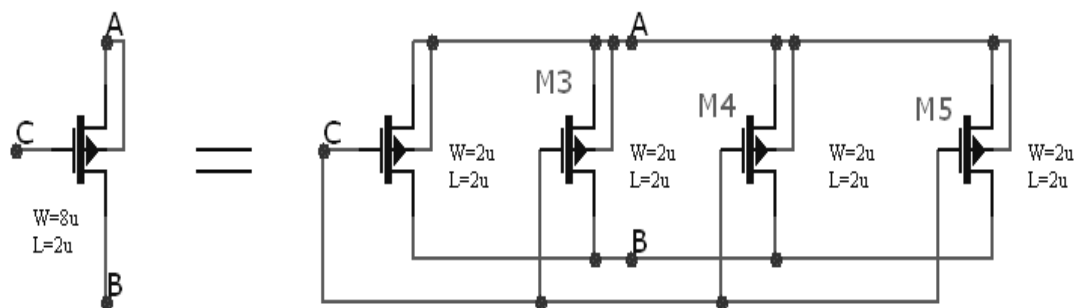
Fonte: Dados do próprio autor.

Como se pode observar, de modo a aumentar a PSRR do amplificador, um espelho de corrente *cascode wide-swing* (M1-M4) foi usado para polarizar o amplificador (transistores MO1, MO2, MO7 e MO8). O uso deste espelho de corrente não apenas aumenta a razão de rejeição da fonte de alimentação, mas também melhora o casamento entre as correntes e diminui os efeitos causados pela modulação do comprimento do canal.

Outro efeito bem conhecido, e talvez o primeiro que foi citado no estudo da susceptibilidade a interferência eletromagnética em amplificadores operacionais, é o *slew-rate*² (SR) assimétrico. A desigualdade entre SR⁺ e SR⁻ depende principalmente de três fatores (REDOUTÉ; STEYAERT, 2009):

- Modulação de carga em torno dos transistores que fornecem a corrente de polarização (MO1 e MO2 no circuito da figura 6.1). Isto significa que devido à modulação do efeito do canal desses transistores, a corrente de polarização pode diminuir. Em nosso circuito esse problema foi minimizado utilizando o espelho de corrente *cascode wide-swing*;
- Assimetrias na topologia do circuito, fazendo com que o capacitor dominante se carregue mais rápido do que sua capacidade de descarregar, e vice versa. Para minimizar este problema dividiram-se os transistores em transistores unitários de maneira semelhante ao da figura 6.2.

Figura 6.2: Divisão de um transistor em transistores unitários.



Fonte: Dados do próprio autor.

- Capacitâncias parasitas, em particular, as capacitâncias parasitas entre a porta e a fonte (C_{gs}) associadas ao par diferencial de entrada, bem como, a capacitância dos transistores de polarização. Este efeito não foi considerado no projeto, uma vez que uma diminuição nesses capacitores implicaria na diminuição

² Taxa máxima de variação da tensão de saída. Ocorre porque há uma taxa máxima na variação da tensão de saída de um amplificador operacional real.

desses transistores o que aumentaria a assimetria do circuito. Em outras palavras teve-se que se optar entre o segundo e o terceiro fator.

Segue na tabela 6.3, o resumo das dimensões dos transistores e o valor do capacitor de compensação do amplificador operacional.

Tabela 6.3: Resumo dos parâmetros de projeto do amplificador operacional.

Dispositivos	W/L (Adotado)	Adotados		
		W(μm)	L (μm)	Valor
MO1 e MO7	3,0	12	4	-
MO2 e MO8	6,0	12	2	-
MO3-MO6	5,0	20	2	-
MO9	20	40	2	-
MCC	0,5	1	2	-
Ccomp	-	-	-	1,5 pF

6.4 Dimensionamento do Circuito de Polarização e o de *start-up*

Neste projeto, sendo o objetivo final a obtenção de uma referência de tensão com baixa susceptibilidade à interferência eletromagnética, não somente a célula principal, mas todo o circuito deve ser projetado cuidadosamente para garantir uma alta imunidade. Seguindo esta linha de concepção, os circuitos de polarização e de inicialização do circuito (*start-up*) devem ser projetados de maneira a serem pouco influenciados pela EMI, pois caso contrário, todo o esforço gasto no projeto da referência de tensão pode ser perdido. Devido às razões citadas optou-se por uma topologia *cascode* para o circuito de polarização como visto na figura 4.9. Para o circuito de inicialização preferiu-se uma configuração bem conhecida, semelhante à apresentada em (JOHNS; MARTIN, 1997). O circuito de *start-up* não foi objeto de muita preocupação, uma vez que o grande número de transistores empilhados MS1-MS5 inerentemente já rejeitariam boa parte das interferências, e sendo assim, novas melhorias não foram necessárias.

Na figura 4.9, o esquema dos circuitos de polarização (Mb1-Mb6 e Q₃) e de *start-up* (MS1-MS8) foi mostrado. Os transistores Mb4-Mb6 geram a tensão de polarização Vb3. Q₃ é usado para garantir uma tensão base-emissor simétrica à de Q₁ (V_{BE1}). Assim, incluindo Q₃ às tensões dreno-fonte $v_{ds_{Mb4}} + v_{ds_{Mb5}}$ e $v_{ds_{Mb6}}$ serão próximas às tensões dreno-fonte $v_{ds_{M1}}$ e $v_{ds_{M6}} + v_{ds_{M8}}$ respectivamente, resultando em uma corrente de polarização I_{bias} ($=I_{D6}$) muito próxima ao valor da corrente I_{PTAT} . É importante acrescentar que a razão W/L de Mb6 é muito

pequena quando Q3 não é incluído, sendo inadequada para o leiaute do circuito. Por esta razão, Q3 foi adicionado ao circuito.

Os transistores Mb1-Mb3 geram a tensão de polarização Vb2. Nesta malha não foi necessária à utilização de um transistor bipolar, pois as tensões Vb3 e Vb4 já estão definidas, e dessa forma, um razoável valor para a dimensão de Mb1 é obtida.

A referência de tensão proposta possui dois pontos de operação, em 0 V (todas as correntes nulas) e o esperado (em 1,35 V). Para resolver este problema, não deixando que o circuito se estabeleça em 0 V, foi adicionado um circuito de inicialização, mais conhecido como *start-up*. O circuito de inicialização inclui os transistores MS1-MS8 e afeta o circuito somente se todas as correntes das malhas dos circuitos forem zero. Se as correntes do circuito forem zero, então todos os transistores da célula de *bandgap* e do circuito de polarização estão desligados. Nesta situação, o circuito de inicialização entra em operação, funcionando da seguinte forma: as portas de MS1-MS5 estão aterradas, por conseguinte, a tensão na porta dos transistores MS7 e MS8 aumenta, ligando-os. Consequentemente, as tensões Vb1 e Vb2 serão estabelecidas ligando os transistores PMOS da célula de *bandgap* e do circuito de polarização, o que força com que o circuito se mova para o outro estado de equilíbrio. Uma vez que o circuito se estabeleça no estado esperado, MS6 é ligado e sua tensão de dreno diminui desligando os transistores MS7 e MS8. Neste estado o circuito de *start-up* não influencia no funcionamento do circuito.

Na tabela 6.4 segue as dimensões dos transistores contidos no circuito de polarização e *start-up*.

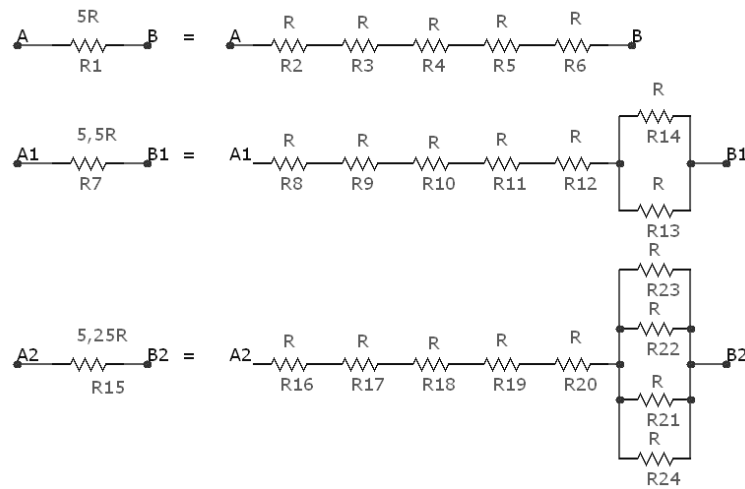
Tabela 6.4: Dimensões dos transistores dos circuitos de polarização e *start-up*.

Dispositivo	W/L (Adotado)	Adotado	
		W(μm)	L(μm)
Mb1	2,0	4	2
Mb2	0,5	2	4
Mb3 e Mb4	3,0	12	4
Mb5	6,0	12	2
Mb6	0,5	2	4
MS1-MS5	0,5	1	2
MS6-MS8	2,0	4	2

6.5 Simulação da referência de tensão proposta

Como as variações de processo nos resistores de poli silício são muito grandes, dividiram-se os resistores R_1 , R_2 e R em resistores unitários de 1 k Ω . Um esquema que mostra como é feita a divisão de uma resistência em resistores unitários é mostrado na figura 6.3.

Figura 6.3: Exemplo da implementação de resistores unitários.



Fonte: Dados do próprio autor.

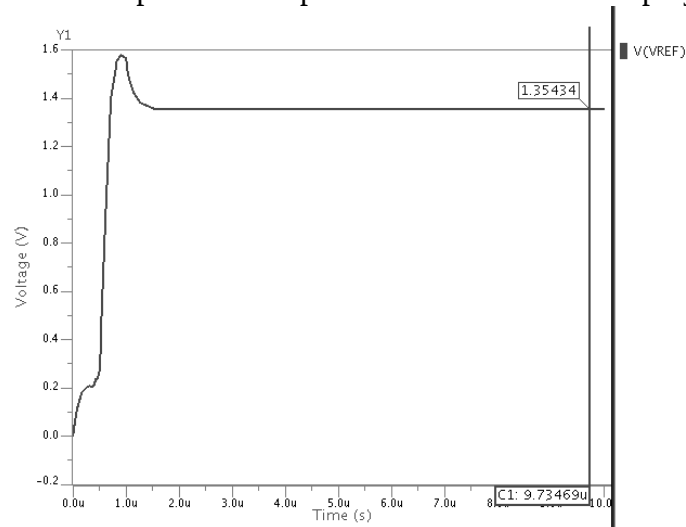
Dividindo os resistores conforme a figura 6.3, melhora-se o casamento entre os resistores e se diminui os efeitos causados por variações no processo. Devido a esta nova configuração de resistores, eles foram reescalados. Segue abaixo, na tabela 6.5, os novos valores para os resistores.

Tabela 6.5: Valores dos Resistores teóricos e os adotados no projeto da referência de tensão.

Dispositivo	Resistência (teórica)	Resistência (Adotada)
$R_2 (T_0)$	39,5 k Ω	36,75 k Ω
$R_1 (T_0)$	6,26 k Ω	5,75 k Ω
$R (T_0)$	45 k Ω	41,25 k Ω
<i>rel</i>	0,158	0,156

Com todas incógnitas de projeto disponibilizadas, simulou-se o circuito completo em nível de transistor. Primeiramente, fez-se uma simulação transiente (figura 6.4) a fim de verificar o funcionamento do circuito no tempo. Tal simulação permite observar o processo de inicialização do circuito, onde se verifica que o circuito de *start-up* funciona corretamente. O valor de V_{REF} obtido foi de 1,354 V.

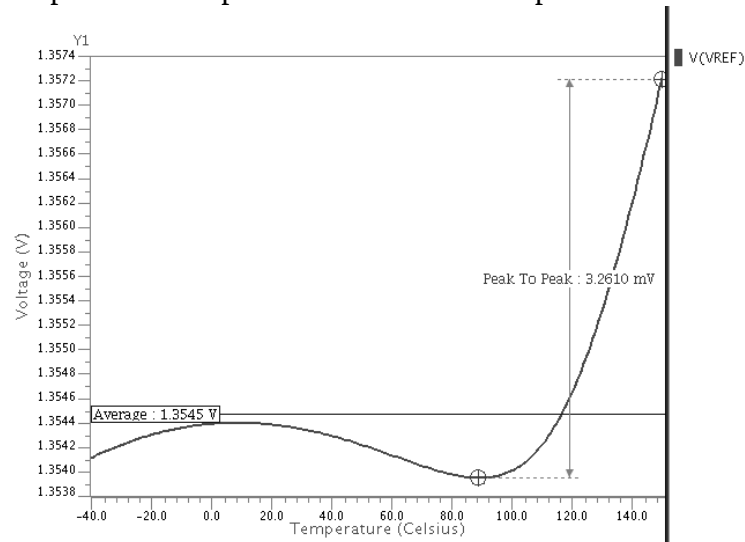
Figura 6.4: Resposta no tempo da referência de tensão projetada.



Fonte: Dados do próprio autor.

Para verificar a deriva térmica fez-se uma simulação DC (figura 6.5), variando a temperatura de -40 a 150°C . Obteve-se uma variação de aproximadamente $3,26\text{ mV}$, ou seja, em torno de $12,67\text{ ppm}/^{\circ}\text{C}$.

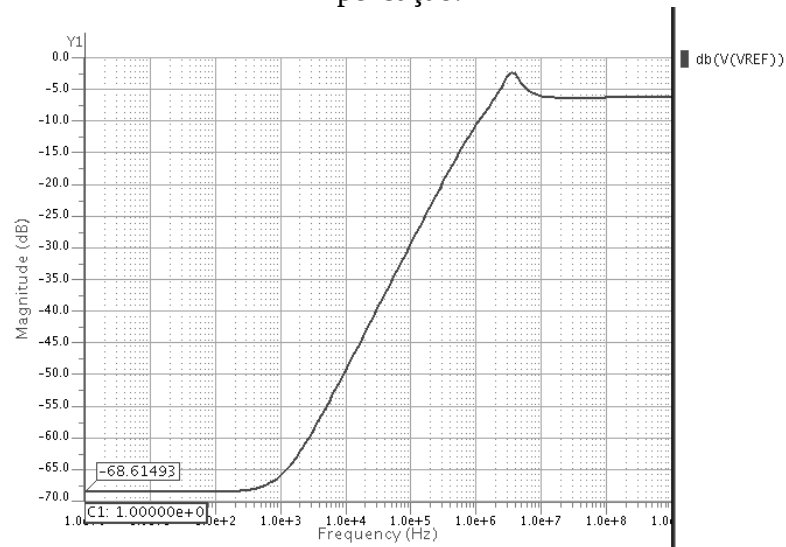
Figura 6.5: Resposta em temperatura do circuito completo da referência de tensão.



Fonte: Dados do próprio autor.

Para verificar a imunidade do circuito à perturbações na tensão de alimentação e no terra, fez-se uma simulação AC (figura 6.6), onde se mediu a atenuação ao ruído da fonte de alimentação (*Power Supply Noise Attenuation*), que é igual ao inverso da razão de rejeição ao ruído de fonte (*PSRR*). Encontrou-se o valor de aproximadamente -68.6 dB para PSNA, ou, em outras palavras, 68 dB de PSRR na frequência de 1 Hz .

Figura 6.6: PSNA do circuito gerador da tensão de referência completo sem qualquer compensação.

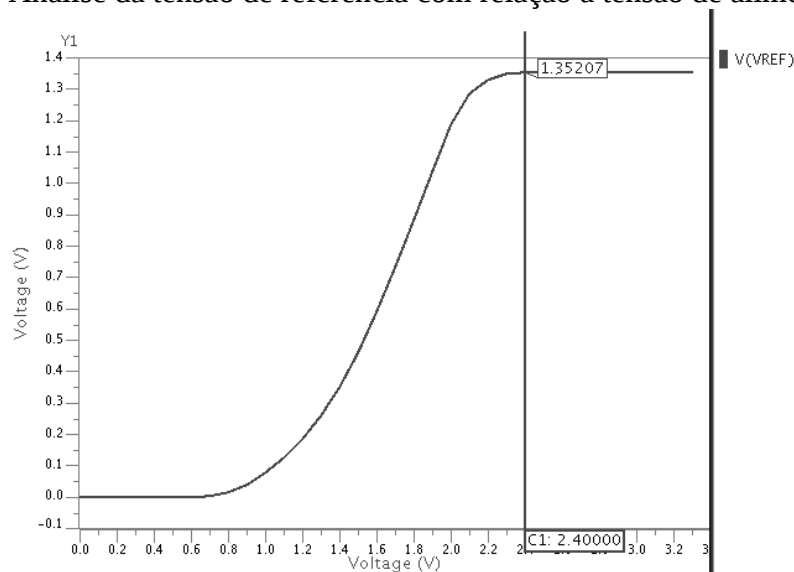


Fonte: Dados do próprio autor.

Uma das vantagens da topologia do espelho de corrente *cascode wide-swing* empregado é sua característica de funcionamento em baixa tensão. Em outras palavras, ele necessita de um valor de tensão de alimentação, menor que as topologias *cascode* comumente usadas.

Para verificação desta característica fez-se uma simulação DC, variando a tensão de alimentação V_{DD} de 0 a 3,3 V, e analisou-se o mínimo valor necessário para que o circuito entre em operação.

Figura 6.7: Análise da tensão de referência com relação à tensão de alimentação V_{DD} .

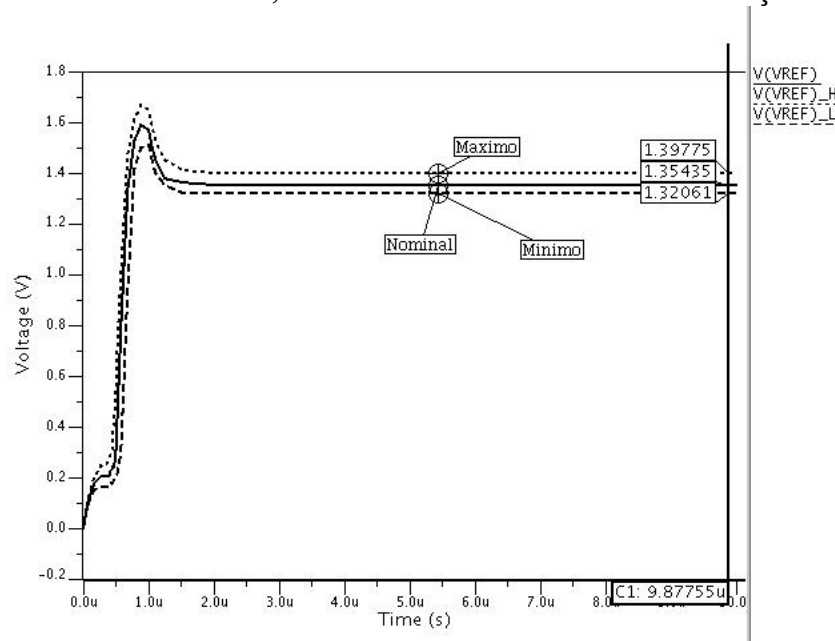


Fonte: Dados do próprio autor.

Como se observa na figura 6.7, o circuito entra em correta operação para uma tensão de alimentação em torno de 2,5 V, ou seja, uma tensão 25% menor para a qual foi projetado, evidenciando assim sua característica de baixa tensão de operação.

Como se deseja um circuito que opere sobre todas as condições de fabricação do circuito integrado impostas pela *Austriamicrosystems*, fabricante do modelo AMS 0,35 μm , fez-se uma simulação *Monte Carlo* assinalando o modelo de pior-caso (WC) para todos os dispositivos contidos no circuito. Foram colhidas 100 amostras e, dentre elas, pegou-se os valores mínimo (1,32 V), máximo (1,397 V) e nominal (1,354 V). Tais valores podem ser observados na figura 6.8.

Figura 6.8: Valores máximo, mínimo e nominal obtidos na simulação Monte Carlo.



Fonte: Dados do próprio autor.

Assim, com os dados e simulações obtidos pode-se construir a tabela 6.6, que resume o desempenho da referência de tensão projetada.

Tabela 6.6: Resumo de desempenho da referência de tensão projetada.

Parâmetros de desempenho	Valores
V_{REF} (V) @ 27°C	1,354
ΔV_{REF} (mV)	3,261
TC (ppm/°C)	12,67
PSRR (dB) @ 1 Hz	68
I_{PROJ} (μA)	32,83
Potência dissipada (μW) @ $V_{DD}=3.3$ V	659

7 SIMULAÇÃO DA REFERÊNCIA DE TENSÃO PROPOSTA SUBMETIDA À EMI

Neste capítulo, realizaram-se dois tipos de simulação. Na primeira aplica-se a configuração de DPI segundo a norma de medição padronizada pelo IEC e, na segunda, o modelo elétrico da configuração DPI construído por (ALAEELDINE; PERDRIAU et al., 2008) para ser usado em simuladores comerciais.

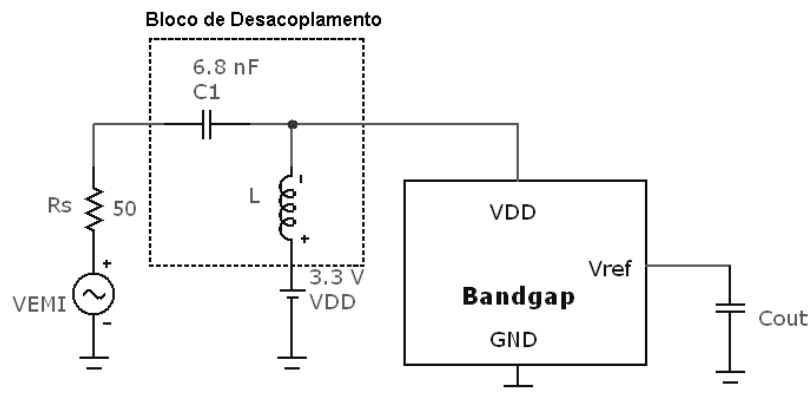
7.1 Método DPI de medição segundo IEC 62132

Como visto na seção 3.6, o método mais apropriado para medição de susceptibilidade conduzida é o DPI. Desta forma, seguindo a IEC 62132, a interferência eletromagnética é injetada no pino de alimentação do circuito por meio de um bloco de desacoplamento.

O bloco de desacoplamento por padrão é um capacitor de 6.8 nF e um indutor de valor baixo que representa a indutância do fio. A resistência interna da fonte é de 50 Ω , enquanto o valor da resistência do resistor de proteção foi tomado como 0, mas dependendo da aplicação, ele poderia ser incrementado até o valor de 100 Ω . A frequência da EMI simulada compreendeu a faixa de 150 kHz a 1 GHz.

O sinal de interferência eletromagnética V_{EMI} é representado por uma onda senoidal aplicada ao pino de entrada (V_{DD}). Foram assumidos dois valores de amplitude para o sinal da interferência, 2 V e 4,5 V, seguindo a região 3 da tabela 3.1. Assim assume-se que não há ligação direta dos pinos de entrada/saída para o ambiente. Desse modo a tensão de alimentação passa por algum tratamento antes de ser injetada na referência de tensão *bandgap*.

Figura 7.1: Primeira configuração para simulação da susceptibilidade a EMI



Fonte: Dados do próprio autor.

A figura 7.1 apresenta a primeira configuração usada para simulação da susceptibilidade à interferência eletromagnética da referência proposta.

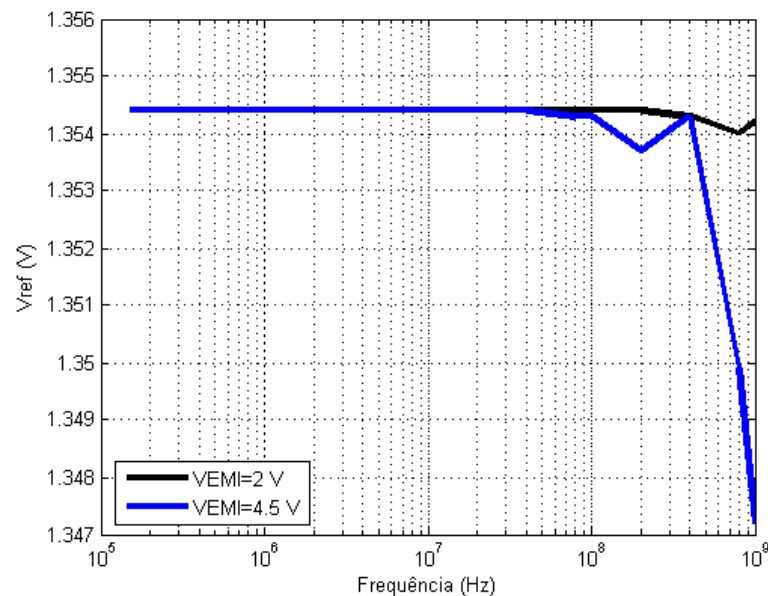
A estimativa da susceptibilidade foi desenvolvida através da comparação da tensão de referência (V_{REF}), gerada pelo circuito sem interferência ($V_{EMI}=0$), com os valores da tensão de saída da referência gerados quando o sinal da interferência injetada é maior que zero.

Nas simulações desenvolvidas neste trabalho adotou-se $V_{EMI}=2$ V e 4,5 V. A diferença entre essas tensões, mais conhecida como *offset* induzido pela EMI na referência de tensão, são medidas e dispostas graficamente, lembrando que, como até o momento não existe um índice de medição da imunidade, considerar-se-á que quanto menor for o *offset* induzido, menos susceptível será o circuito.

O *offset* induzido na tensão de referência foi simulado por meio da função da frequência da onda senoidal da interferência (V_{EMI}) sobreposta à tensão de alimentação da referência de tensão *bandgap* proposta.

Como se pode observar pela figura 7.2, o efeito da interferência sobreposta à tensão de alimentação induziu a uma redução na tensão de referência principalmente em altas frequências.

Figura 7.2: Efeito de EMI sobre a referência de tensão proposta.

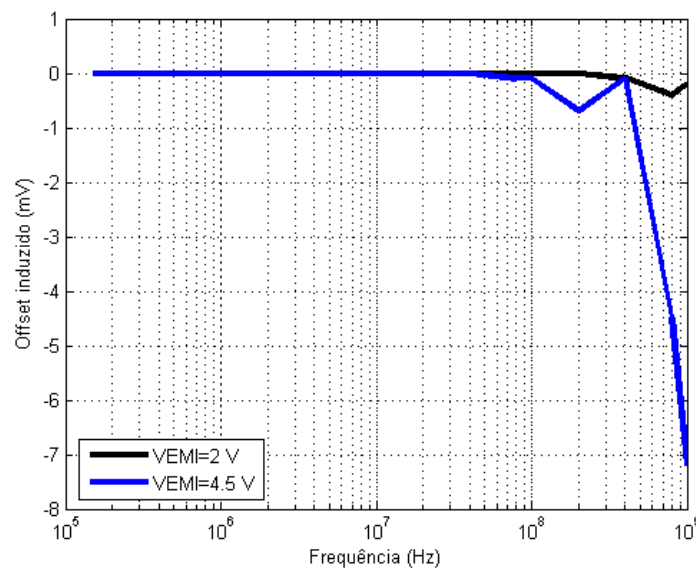


Fonte: Dados do próprio autor.

Observa-se que, mesmo o maior *offset* induzido (figura 7.3) na referência proposta é pequeno, aproximadamente 7,2 mV em alta frequência (1 GHz) para uma amplitude de inter-

ferência de 4,5 V, correspondendo ao máximo valor dado pela região 3 da tabela 3.1. Na figura 7.3, nota-se que para baixas frequências o desempenho do circuito é extremamente bom, praticamente não sendo afetado pela interferência injetada. O mesmo se observou para baixas amplitudes de interferência, uma vez que, para $V_{EMI}=2$ V, a maior variação obtida foi de 0,4 mV em 800 MHz. Pode-se dizer que um maior *offset* em altas frequências já era esperado, pois a razão da rejeição ao ruído de fonte diminui consideravelmente nestas frequências. O aumento da variação relacionado à amplitude da interferência também não é surpresa, pois quanto maior for a perturbação, maior será o dano causado pela EMI ao circuito, levando ao seu mau funcionamento.

Figura 7.3: *Offset* induzido na tensão de saída da referência de tensão proposta.



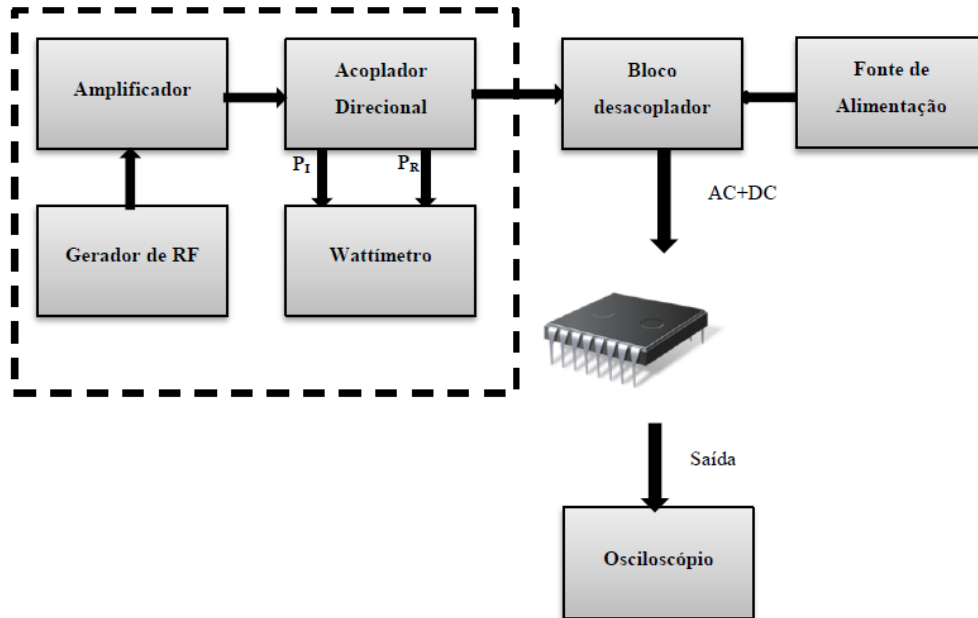
Fonte: Dados do próprio autor.

7.2 Modelo Elétrico de DPI para Simulação

Como nesta dissertação apenas simulação é empregada, há a possibilidade da configuração utilizada na seção 7.1 não ser a mais adequada para se prever o comportamento do circuito após sua fabricação, já que o método de DPI padronizado pelo IEC é indicado para medição e não simulação. No entanto, (ALAELDINE et al., 2008) desenvolveram um modelo elétrico completo para a configuração DPI, tornando possível a previsão de imunidade de um circuito integrado por meio de simuladores comerciais.

Na figura 7.4 mostra-se um exemplo da configuração de medição DPI em um CI.

Figura 7.4: Diagrama de blocos representativo do método de medição DPI.



Fonte: Alaeldine et al. (2008).

O sinal da interferência eletromagnética na frequência de 150 kHz a 1 GHz, gerado por um gerador de RF, passa por um amplificador, e então, é injetado no pino (pino de alimentação ou de sinal) do circuito integrado em teste por meio de um bloco desacoplador (composto de um capacitor e um indutor para desacoplar as tensões AC e DC).

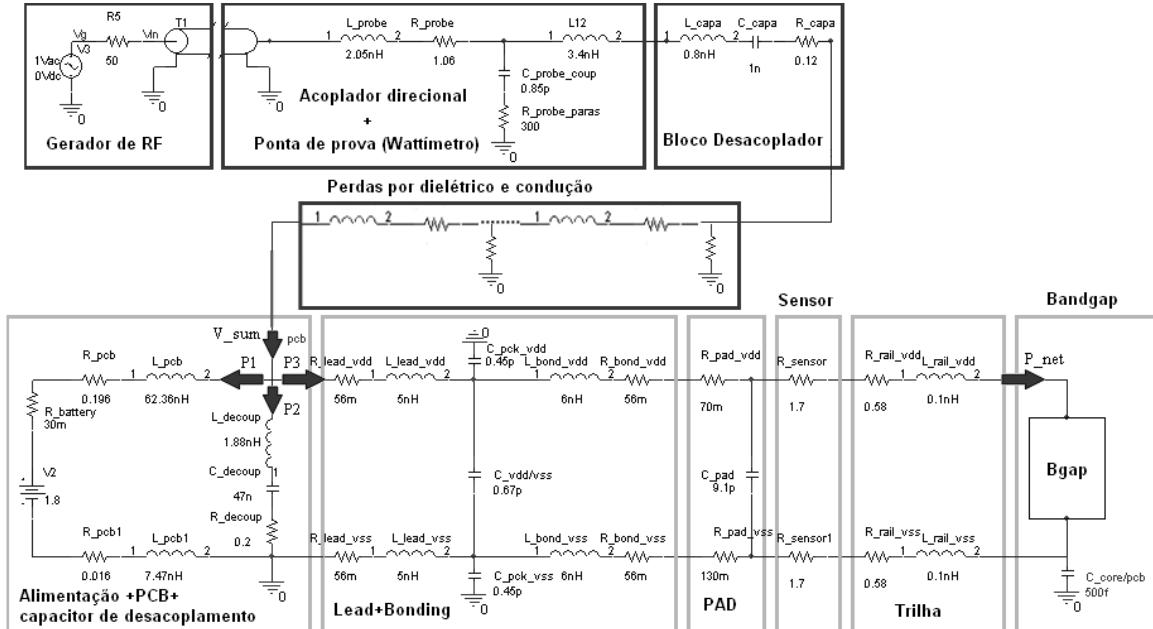
O acoplador direcional (*directional coupler*) permite a medição da potência de RF inserida (P_I) e refletida (P_R) construindo, em conjunto com o gerador de RF e o amplificador, um circuito fechado, o qual ajusta a potência correta injetada em cada ponto de frequência. Para ajuste, apenas a potência injetada é importante. Já a correção é necessária, para compensar possíveis perdas e reflexões sobre a linha, que poderia alterar a amplitude do sinal injetado.

Já o modelo SPICE elétrico da configuração DPI construído por (ALAEELDINE et al., 2008) usado nesta seção para simulação é apresentado na figura 7.5.

A simulação nesta seção, assim como na anterior, foi desenvolvida na faixa de frequência de 150 kHz a 1 GHz, todavia, não foi incluída nesta simulação o bloco de perdas por dielétrico e condução, uma vez que o mesmo não pode ser modelado com associação de componentes passivos. Ressalta-se que a ausência deste bloco não invalida os resultados obtidos.

Com a nova configuração, a referência foi simulada e notou-se que em torno de 300 MHz o circuito deixava de funcionar, ou seja, a EMI injetada provocou uma falha total no

Figura 7.5: Modelo elétrico completo para a configuração DPI.



Fonte: Alaeldine et al. (2008).

circuito em torno desta frequência. Uma das causas de tal falha pode ser atribuída ao fenômeno de retificação (*rectification phenomenon*) envolvendo os transistores bipolares.

7.2.1 Fenômeno de retificação sobre a referência proposta

A equação (4.16) representa a tensão de referência na saída do circuito como função da tensão base-emissor dos transistores Q1 e Q2 e razão entre os resistores R, R₁ e R₂. A corrente nos transistores bipolares, polarizados diretamente como diodo, é representada por:

$$I_C = I_S e^{\frac{V_{EB}}{V_T}}. \quad (7.1)$$

Se um sinal senoidal (com amplitude $V_{EB,RF}$) é sobreposta à tensão base-emissor, a corrente de coletor é afetada por um deslocamento DC que pode ser equacionado como:

$$I_{C,DC} \cong I_S e^{\frac{V_{EB,DC}}{V_T}} \cdot \left[1 + \left(\frac{V_{EB,RF}}{2V_T} \right)^2 \right], \quad (7.2)$$

onde uma aproximação de segunda ordem foi aplicada. Se o amplificador operacional tem tensão de *offset* nula em suas entradas, as correntes dos transistores Q1 e Q2 podem ser assumidas iguais, levando a:

$$I_{Q1} = I_{Q2}, \quad (7.3)$$

$$I_{Q1} \cong I_{S1} e^{\frac{V_{EB1,DC}}{V_T}} \left[1 + \left(\frac{V_{EB1,RF}}{2V_T} \right)^2 \right], \quad (7.4)$$

$$I_{Q2} \cong I_{S2} e^{\frac{V_{EB2,DC}}{V_T}} \left[1 + \left(\frac{V_{EB2,RF}}{2V_T} \right)^2 \right]. \quad (7.5)$$

Considerando a referência proposta, a corrente sobre Q2 ($=I_{PTAT}$) é dada pela seguinte equação:

$$I_{Q2} = \left| \frac{V_{EB2,DC} - V_{EB1,DC}}{R_1} \right| = V_T \ln \left(\frac{I_{S2} \left[1 + \left(\frac{V_{EB2,RF}}{2V_T} \right)^2 \right]}{I_{S1} \left[1 + \left(\frac{V_{EB1,RF}}{2V_T} \right)^2 \right]} \right). \quad (7.6)$$

Já a corrente I_{CTAT} pode ser aproximada por:

$$I_{CTAT} = \frac{V_{EB1,DC}}{R_2} = \frac{\frac{V_T}{\left[1 + \left(\frac{V_{EB1,RF}}{2V_T} \right)^2 \right]} \ln \left(\frac{I_{C1}}{I_{S1}} \right)}{R_2}. \quad (7.7)$$

O fenômeno de retificação descrito, envolvendo os transistores bipolares Q1 e Q2, sugere que a atenção seja concentrada sobre o ruído residual de RF para que seja realizado um bom projeto compatível eletromagneticamente.

Com o fim de se obter uma redução deste ruído, três possíveis soluções podem ser exploradas:

- Alteração nas correntes do núcleo da tensão de referência;
- Uso de filtros capacitivos para diminuir o ruído residual de RF sobre os transistores bipolares;
- Modificação em nível de layout e/ou em nível de tecnologia para reduzir o acoplamento entre os terminais da fonte de alimentação e dos resistores de poli-silício.

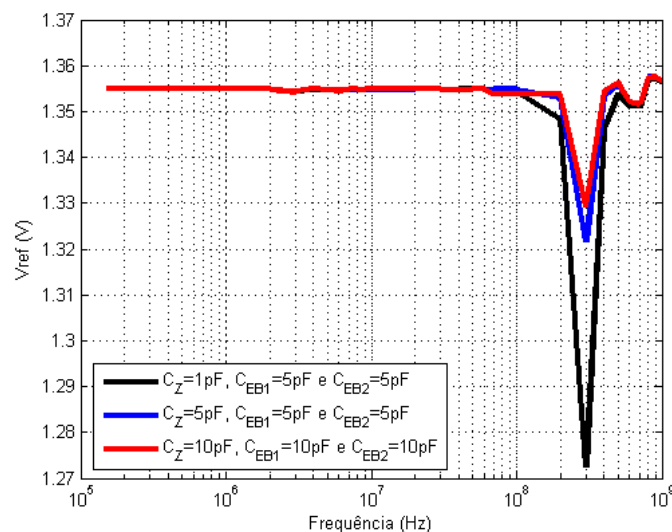
Como uma alteração nas correntes do núcleo da referência proposta levaria a um considerável aumento no tempo de projeto, utilizou-se a solução de filtros capacitivos, e assim estes foram introduzidos.

Em particular, três capacitores foram adicionados na referência, sendo eles:

- Capacitor C_{EB1} , entre o emissor e a base de Q1;
- Capacitor C_{EB2} , entre V_{EB2} e terra;
- Capacitor C_Z , entre V_Z e terra.

Desta forma, simulou-se a referência usando três diferentes valores para os capacitores citados. Na figura 7.6 mostra-se o desempenho da tensão de referência quando submetida à interferência eletromagnética, sendo que as três curvas representam os três arranjos de valores de capacitores.

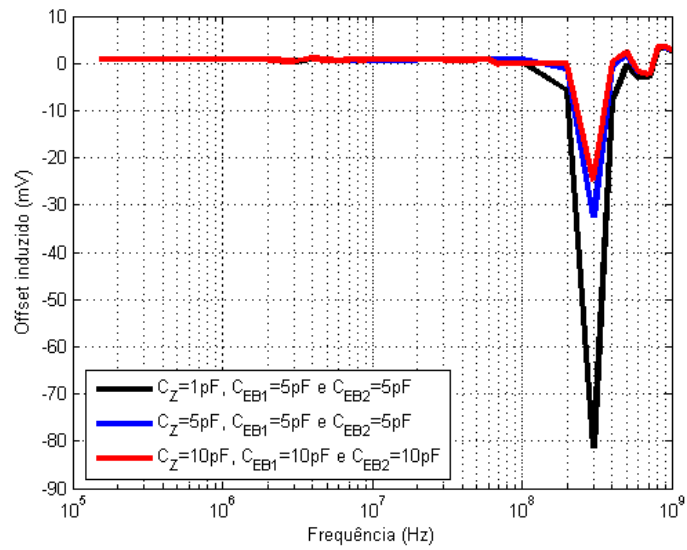
Figura 7.6: Variação da tensão de referência quando submetido a EMI.



Fonte: Dados do próprio autor.

Na figura 7.7 mostra-se o *offset* induzido da referência proposta quando submetida à EMI.

Figura 7.7: *Offset* induzido da referencia proposta.



Fonte: Dados do próprio autor.

Pode-se observar que 300 MHz continua sendo a faixa de frequência onde a imunidade da referência é menor, porém, usando os capacitores de filtragem a referência continuou funcionando corretamente, ao contrário da primeira simulação desempenhada sem os capacitores, onde o circuito falhou nesta faixa de frequência.

8 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foi dada uma breve introdução sobre compatibilidade eletromagnética e suas inter-relações, onde foram revisados os métodos de medições que seguem as normas do IEC, e dentre todos, focou-se no método DPI, mais apropriado para avaliação da susceptibilidade de um circuito integrado, além de apresentar fácil reprodução em um ambiente de simulação tal como o utilizado (*Mentor*).

Para que um CI seja robusto atualmente, é imprescindível que ele cumpra as condições de EMC, especialmente em aplicações automotivas devido às duras condições nas quais estes sistemas devem operar.

Uma vez que o objetivo deste trabalho era a obtenção de uma referência de tensão com baixa susceptibilidade eletromagnética, primeiramente se optou por uma topologia baseada na geração em corrente, devido a flexibilidade de tensões de referência em sua saída (desde alguns milivolts até vários volts), podendo até mesmo fornecer mais de um valor de tensão de referência caso seja necessário.

Devido à referência proposta apresentar apenas dois PADS, alimentação (V_{DD}) e terra (GND), conclui-se que a EMI causaria maior dano no circuito quando inserida diretamente nesses pinos. Como o desempenho de um sistema submetido a variações em sua tensão de alimentação é descrito pela sua razão de rejeição da fonte de alimentação (PSRR), optou-se pela topologia *cascode*, tanto para a célula de *bandgap*, quanto para o circuito de polarização.

Em resultado, obteve-se uma referência de tensão *bandgap* que fornece uma tensão estável de -40 a 150°C, com uma variação de 12,67 ppm/°C. Tomando como resultado principal a simulação utilizando o modelo elétrico proposto por (ALAEELDINE et al., 2008) desempenhada na seção 7.2, o sistema proposto, com a adição de filtros capacitores quando submetido à interferência eletromagnética, apresentou um *offset* induzido máximo de aproximadamente -81,5 mV, -32,4 mV e -24,7 mV (ver figura 7.6 e tabela 8.1).

Diante dos resultados, verificou-se que houve um aumento significativo da imunidade quando se aumentou a capacitância C_Z de 1 pF para 5 pF, mas, quando alterou-se todos os capacitores para 10 pF a melhoria foi menor. Em outras palavras deve-se fazer uma troca entre desempenho e área do circuito, uma vez que capacitores ocupam uma área muito grande no circuito integrado.

Devido à existência de poucos trabalhos abordando susceptibilidade eletromagnética em referências de tensão, pouca comparação pode ser feita. Mas na tabela 8.1 seguem comparações com alguns poucos trabalhos publicados.

Tabela 8.1: Comparações.

Trabalho	Sinal de Interferência	Faixa de frequência (Hz)	Offset induzido (mV)	Offset induzido (%)
(PRETELLI; RICHELLI et al., 2003)/Circuito 1	1 Vpp	1 MHz – 4 GHz	6	-
(PRETELLI; RICHELLI et al., 2003)/Circuito 2	1 Vpp	1 MHz – 4 GHz	20	-
(REDOUTÉ; STEYAERT, 2010)/Circuito NPD	4 dBm	150 kHz – 1 GHz	-	3,7
	10 dBm	150 kHz – 1 GHz	-	23
(REDOUTÉ; STEYAERT, 2010)/Circuito PPD	4 dBm	150 kHz – 1 GHz	-	3,5
	10 dBm	150 kHz – 1 GHz		13
(REDOUTÉ; STEYAERT, 2010)/Circuito PPDAL	4 dBm	150 kHz – 1 GHz	-	1,8
	10 dBm	150 kHz – 1 GHz	-	6
Este trabalho (SOUZA, 2011)/(C _{EB1} =1 pF, C _{EB2} =5 pF e C _Z =5 pF)	4,5 V	150 kHz – 1 GHz	-81,5	6
Este trabalho (SOUZA, 2011)/(C _{EB1} =5 pF, C _{EB2} =5 pF e C _Z =5 pF)	4,5 V	150 kHz – 1 GHz	-32,4	2,4
Este trabalho (SOUZA, 2011)/(C _{EB1} =10 pF, C _{EB2} =10 pF e C _Z =10 pF)	4,5 V	150 kHz – 1 GHz	-24,7	1,82

Por fim, o objetivo principal foi alcançado e uma referência de tensão *bandgap* com baixa susceptibilidade a interferência eletromagnética foi projetada podendo ser aplicada em sistemas onde alta confiabilidade é exigida.

Como trabalhos futuros, sugere-se a adição de um circuito de *trimming* que pode ser introduzido tanto na tensão de referência (resistor R) quanto no controle do coeficiente térmico (resistor R₁), melhorando ainda mais o desempenho da referência proposta em temperatura. Também se pode acrescentar o projeto de leiaute do circuito proposto visando uma possibilidade futura de fabricação.

REFERÊNCIAS

- ALAEELDINE, A. et al. A direct power injection model for immunity prediction in integrated circuits. **IEEE transactions on electromagnetic compatibility**, New York, v. 50, n. 1, p. 52-62, 2008.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog circuit design**. New York: Oxford University Press, 2002.
- BADILLO, D. A. 1.5V CMOS current reference with extended temperature operating range. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2002, Phoenix. **Proceedings...** Piscataway: IEEE, 2002. p. III-197 - III-200.
- BANBA, H. et al. A CMOS bandgap reference circuit with sub-1-V operation. **IEEE Journal of Solid-state Circuits**, New York, v. 34, n. 5, p. 670-674, 1999.
- FIORI, F.; CROVETTI, P. S. Investigation on EMI effects in bandgap voltage references. In: INTERNATIONAL WORKSHOP ON EMC FOR ICS, 2002, Toulouse. **Proceedings...** Toulouse: INSA. 2002a. p.35 - 39.
- FIORI, F.; CROVETTI, P. S. Nonlinear effects of radio-frequency interference in operational amplifiers. **IEEE Transactions on Circuits and Systems**, New York, v. 49, n. 3, p. 367-372, 2002b.
- HILBIBER, D. F. A new semiconductor voltage standard. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, 1964, Philadelphia. **Proceedings...** Piscataway: IEEE, 1964. p.32-33.
- IEC. **IEV International electrotechnical vocabulary**. Geneva, 2011. Disponível em: <<http://www.electropedia.org/>>. Acesso em: 21 jan. 2011.
- JOHNS, D. A.; MARTIN, K. **Analog integrated circuit design**. New York: John Wiley, 1997.
- KEISER, B. E. **Principles of electromagnetic compatibility**. 3. ed. New York: Artech House, 1987.
- KOVÁCS-VAJNA, Z. M.; SARDINI, E.; SPECIALE, N. Chaotic behavior of 741 opamps subjected to EMI conveyed to power supply rails. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2000, Geneva. **Proceedings...** Piscataway: IEEE, 2000. p.727-730.
- ORIETTI, E. et al. Reducing the EMI susceptibility of a kuik bandgap. **IEEE Transactions on Electromagnetic Compatibility**, New York, v. 50, n. 4, p. 876-886, 2008.
- PARK, K.-S. et al. A design of temperature-compensated CMOS voltage reference sources with a small temperature coefficient. In: INTERNATIONAL CONFERENCE ON ASIC, 7., 2007, Guilin. **Proceedings...** Piscataway: IEEE, 2007. p.711-714.
- PAUL, C. R. **Introduction to electromagnetic compatibility**. 2. ed. Hoboken: John Wiley, 2006.
- PAUL, R. et al. Design of second-order sub-bandgap mixed-mode voltage reference circuit for low voltage applications. In: INTERNATIONAL CONFERENCE ON VLSI DESIGN, 18., 2005, Kolkata. **Proceedings...** Piscataway: IEE, 2005. p.307-312.
- POULTON, A. S. Effect of conducted EMI on the DC performance of operational amplifiers. **IET Electronics Letters**, Stevenage, p. 282-284, 1994.

PRETELLI, A. et al. Robust design of bandgap voltage references with low EMI susceptibility. In: IEEE INTERNATIONAL SYMPOSIUM ON ELECTROMAGNETIC COMPATIBILITY, 2003, Boston. **Proceedings...** Piscataway: IEEE; EMC, 2003. p.298-302.

PRETELLI, A. et al. Reduction of EMI susceptibility in CMOS bandgap reference circuits. **IEEE Transactions on Electromagnetic Compatibility**, New York, v. 48, n. 4, p. 760-765, 2006.

RAMDANI, M. et al. The electromagnetic compatibility of integrated circuits-past, present, and future. **IEEE Transactions on Electromagnetic Compatibility**, New York, v. 51, n. 1, p. 78-100, 2009.

RAZAVI, B. **Design of analog CMOS integrated circuit**. International edition. New York: McGraw-Hill, 2001.

REDOUTÉ, J.-M.; STEYAERT, M. **EMC of analog integrated circuits**. New York: Springer, 2009.

REDOUTÉ, J.-M.; STEYAERT, M. Kuik bandgap voltage reference with high immunity to EMI. **IEEE Transactions on Circuits and Systems**, New York, v. 57, n. 2, p. 75-79, 2010.

RICHELLI, A. et al. Robust design of low EMI susceptibility CMOS OpAmp. **IEEE Transactions on Electromagnetic Compatibility**, New York, v. 46, n. 2, p. 291-298, 2004.

RINCÓN-MORA, G. A. **Voltage references - from diodes to precision high-order bandgap circuits**. New York: Wiley-IEEE Press, 2002.

SOUZA, F. Q. D.; OKI, N. Design of a CMOS voltage reference using current-mode approach. In: IEEE LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2., 2011, Bogota. **Proceedings...** Piscataway: IEEE, 2011. p.1-4.

WANG, Y.-T.; GEIGER, R. L.; HUANG, S.-C. Threshold-based voltage reference with pn- junction temperature compensation. In: IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 52., 2009, Cancun. **Proceedings...** Piscataway: IEEE, 2009. p.156-159.

WESTON, D. A. **Electromagnetic compatibility: principles and applications**. 2. ed. New York: Marcel Dekker, 2001.

YEN, C.-J.; CHUNG, W.-Y.; CHI, M. C. A wide-swing V_T -referenced circuit with insensitivity to device mismatch. In: INTERNATIONAL CONFERENCE ON VLSI DESIGN, 18., 2005, Kolkata. **Proceedings...** Piscataway: IEE, 2005. p.539-542.